

国際半導体技術ロードマップ 2007年版

概要

INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS

2007 EDITION

EXECUTIVE SUMMARY

訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2007 Edition(国際半導体技術ロードマップ 2007年版)の全訳である。

国際半導体技術ロードマップ(以下 ITRS と表記)は、米国、日本、欧州、韓国、台湾の世界5極の専門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会 (STRJ) が電子情報技術産業協会 (JEITA) 内に組織され、日本国内で半導体技術ロードマップについての調査活動を行うとともに、ITRS の編集・作成に貢献している。STRJ 内には 14 のワーキンググループ (WG: Working Group)、2 つのタスクフォース(設計タスクフォースと故障解析タスクフォース)、経済性検討小委員会が組織され、半導体集積回路メーカー、半導体製造装置メーカー、材料メーカー、大学、独立行政法人、コンソーシアなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRS は改版を重ねるごとにページ数が増え、2007年版は英文で約 1000 ページの文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができるのではないかと考えている。

なお、ITRS 2005 年版(英語の原書)までは、ウェブ公開とともに、印刷された本としても出版していたが、2007年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版版を本の形で有償頒布しても需要に限られることなどのため、印刷物の形での出版を断念し、ウェブ公開のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。

訳文の作成は、STRJ 委員が分担してこれにあたり、JEITA の STRJ 担当事務局が全体の取りまとめを行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。また、訳者によって、文体が異なるところもある。ITRS の原文自体も多くは専門家による分担執筆であり、そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字脱字などが無いよう、細心の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS についてのご批判、ご意見などを事務局まで連絡いただければありがたい。

今回の訳出にあたっては、ITRS の本文の部分のみとし、ITRS 内の図や表の内部の英文は訳さないでそのまま掲載することとした。Executive Summary の冒頭の謝辞(Acknowledgments)に、ITRS の編集にかかわった方々の氏名が書かれているが、ここも訳出せず、原文のままの表記とした。原文中の略語については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように()内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ (ITRS: International Technology Roadmap for Semiconductors、以下 ITRS と表記)」「国際半導体技術ロードマップ (International Technology Roadmap for Semiconductors)」のように和訳の後に()内に原語やそれに対応する略語を表示した。本書の巻末に用語集 (Glossary)も参照されたい。原文の括弧()があつてそれを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳者注:この部分は訳者の注釈であることを示す】」のように【】内に表記した。また[]内の部分は、訳者が原文にない言葉をおぎなつた部分であることを示している。訳文は厳密な逐語訳ではなく、日本語として読んで意味が通りやすいように意識している。ITRS のウェブ版ではハイパーリンクが埋め込まれているが、今回の日本語版ではハイパーリンクは原則として削除した。読者の皆様には不便をおかけするが、ご理解いただければ幸いである。

今回の日本語訳全体の編集は全体のページ数が膨大であるため、大変な作業となってしまいました。編集作業を担当いただいた、JEITA 内 STRJ 事務局の古川昇さん、恩田豊さん、近藤美智さん、明石理香さんに大変お世話になりました。厚くお礼申し上げます。

より多くの方に ITRS をご活用いただきたいの思いから、今回の翻訳作業を進めました。今後とも ITRS と

STRJ へのご理解とご支援をよろしくお願い申し上げます。

2008年5月
訳者一同を代表して
電子情報技術産業協会(JEITA)半導体部会 半導体技術ロードマップ専門委員会(STRJ) 委員長
石内 秀美 (株式会社 東芝)

版權について

ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2007 SEMICONDUCTOR INDUSTRY ASSOCIATION

All rights reserved

ITRS • 2706 Montopolis Drive • Austin, Texas 78741 • 512.356.7687 • <http://public.itrs.net>

Japanese translation by the JEITA, Japan Electronics and Information Technology Industries Association
under the license of the Semiconductor Industry Association

—引用する場合の注意—

原文(英語版)から引用する場合： 2007 ITRS page XX, Figure(Table) YY

この和訳から引用する場合： 2007 ITRS JEITA 和訳 XX 頁,図(表)YY

と明記してください。

問合せ先：

社団法人 電子情報技術産業協会
半導体技術ロードマップ専門委員会 事務局
Tel: 03-5275-7258 mailto: roadmap@jeita.or.jp

謝辭 (ACKNOWLEDGMENTS)

TECHNOLOGY WORKING GROUP KEY CONTRIBUTORS

Cross TWG Study Group—Alan Allan, Chris Case, Chi-Shih Chang, Bob Doering, Denis Fandel, Andrew Kahng, Harry Levinson, Chris Long, Shizuo Sawada, Peter Zeitzoff

System Drivers and Design—Satoshi Akui, Yoshimi Asada, Kenji Asai, Fawzi Behmann, Valeria Bertacco, Juan-Antonio Carballo, Don Cottrell, Wolfgang Ecker, Praveen Elakumanan, Yoshitada Fujinami, Yoshiharu Furui, Shinji Furuno, Tamotsu Hiwatashi, Koichiro Ishibashi, Bill Joyner, Andrew Kahng, Masaru Kakimoto, Haruhisa Kashiwagi, Chang Kim, Victor Kravets, Vinod Malhotra, Kazuya Masu, Masami Matsuzaki, Mamoru Mukuno, Katsutoshi Nakayama, Sani Nassif, Tomoji Nukiyama, Isao Okada, Nobuhiro Okano, Nobuto Ono, David Pan, Toshitada Saito, Jean-Pierre Schoelkopf, Lothar Schrader, Yahiro Shiotsuki, Gary Smith, Peter Van Staa, Leon Stok, Mikio Sumitani, Ryoichi Tomishige, Hitoshi Tomizawa, Hiroki Tomishige, Tadao Toyoda, Kunio Uchiyama, Maarten Vertregt, Alfred Wong, Akihiro Yamada, Ichiro Yamamoto, David Yeh

Test and Test Equipment—Rob Aitken, Davide Appello, Dave Armstrong, Roger Barth, Mike Bienek, Shawn Blanton, Dan Brija, Mike Bronny, Scott Buckner, Phil Burlison, Yi Cai, Wendy Chen, Calvin Cheung, Steve Comen, Jack Courtney, Shawn Fetterolf, Rudy Garcia, Anne Gattiker, Larry Gilg, Atul Goel, Mike Green, Tim Green, Kazumi Hatayama, Sridhar Kannan, Shin-ichi Kimura, Mike Li, John Lukez, Michio Maekawa, Peter Maxwell, Jerry McBride, Dave McMann, Subhasish Mitra, Peter Muhmenthaler, Udaya Natarajan, Cheng-Chin Ni, Phil Nigh, Yasumasa Nishimura, Sejang Oh, Bill Ortner, Eichi Osato, Steve Payne, Bill Price, Brad Robbins, Paul Roddy, Mike Rodgers, Yasuo Sato, Ulrich Schoettmer, Fayez SedarousRene Segers, Dan Simpkins, Ken Skala, Lee Song, Tetsuo Tada, Hiroyuki Takahashi, Wataru Uchida, Masanori Ushikubo, Dave Vallett, Jody Van Horn, Erik Volkerink, Larry Wagner, Burnie West, Don Wheeler, Tom Williams, David Wu, Mitsuo Yamazaki, Yervant Zorian

Process Integration, Devices, and Structures—Yasushi Akasaka, Joe Brewer, James Chung, Ted Dellin, Michael Duane, Takahisa Eimori, Toshiro Hiramoto, Digh Hisamoto, Atsushi Hori, Jim Hutchby, Jiro Ida, Kiyotaka Imai, Hirofumi Inoue, Naoki Kasai, Tzu-Jae King, Michihiko Mifuji, Takashi Nakamura, Tak Ning, Hidekazu Oda, Mototsugu Ogura, Mark Rodder, Shizuo Sawada, Kentaro Shibahara, Toshihiro Sugii, Yoshitaka Tadaki, Yukio Tagawa, Shinichi Takagi, Yasuhiro Takeda, Tetsu Tanaka, Luan C. Tran, Wilman Tsai, Qi Xiang, Geoffrey Yeap, Makoto Yoshimi, Peter Zeitzoff

Radio Frequency and Analog/Mixed-signal Technologies for Wireless Communications—Pascal Ancey, Joost Van Beek, Herbert S. Bennett, Bobby Brar, Pascal Chevalier, David Chow, Julio Costa, Stefaan Decoutere, Masanori Fujisawa, Erwin Hijzen, Digh Hisamoto, Dave Howard, W. Margaret Huang, Anthony A. Immorlica, Andre Jansman, Snezana Jenei, Jay John, Alvin Joseph, Takahiro Kamei, Tom Kazior, Yukihiko Kiyota, Sebastian Liau, Ginkou Ma, Mel Miller, Jan-Erik Mueller, Hansu Oh, Jack Pekarik, Marco Racanelli, Bernard Sautreuil, Hisashi (Sam) Shichijo, Albert Wang, Dawn Wang, Chuck Weitzel, Geoffrey Yeap, Peter Zampardi, Bin Zhao, Herbert Zirath

Emerging Research Devices—Hiroyuki Akinaga, Tetsuya Asai, Yuji Awano, George Bourianoff, Michel Brillouet, Joe Brewer, John Carruthers, Ralph Cavin, U-In Chung, Philippe Coronel, Kristin De Meyer, Erik DeBenedictis, Simon Delonibus, Mike Forshaw, Michael Frank, Christian Gamrat, Mike Garner, Dan Hammerstrom, Shigenori Hayashi, Dan Herr, Mutsuo Hidaka, Toshiro Hiramoto, Jim Hutchby, Yasuo Inoue, Adrian Ionescu, Kohei Itoh, Kiyoshi Kawabata, Seiichiro Kawamura, Rick Kiehl, Tzu-Jae King Liu, Hiroshi Kotaki, Nety Krishna, Zoran Krivokapic, Phil Kuekes, Lou Lome, Hiroshi Mizuta, Kwok Ng, Wei-Xin Ni, Fumiyuki Nihey, Dmitri Nikonov, Tak Ning, Murali Ramachandran, Lothar Risch, Dave Roberts, Sadas Shankar, Kentaro Shibahara, Kaushal Singh, Thomas Skotnicki, Satoshi Sugahara, Shin-Ichi Takagi,

謝辭 (Acknowledgments)

Luan Tran, Ken Uchida, Yasuo Wada, Rainer Waser, Jeff Welser, Frans Widershoven, Philip Wong, Kojiro Yagami, David Yeh, In-Seok Yeo, In-K Yoo, Makoto Yoshimi, Peter Zeitzoff, Yuegang Zhang, Victor Zhimov

Emerging Research Materials—Hiro Akinaga, Robert D. Allen, Nobuo Aoi, Koyu Asai, Yuji Awano, Daniel-Camille Bensahel, Chuck Black, Thomas Bjornholm, Ageeth Bol, Bill Bottoms, George Bourianoff, Alex Bratkovski, Marie Burnham, William Butler, John Carruthers, Zhihong Chen, Rinn Cleavelin, Reed Content, Hongjie Dai, Joe DeSimone, Jean Dijon, Terry Francis, Satoshi Fujimura, C. Michael Garner, Avik Ghosh, Emmanuel Giannelis, Michael Goldstein, Joe Gordon, Greg Hagashi, James B. Hannon, Craig Hawker, Robert Helms, Rudi Hendel, Daniel Herr, Susan Holl, Harold Hosack, Jim Hutchby, Kohei Ito, James Jewett, Antoine Kahn, Sergie Kalinin, Ted Kamins, Masashi Kawaski, Steve Knight, Gertjan Koster, Roger Lake, Louis Lome, Allan MacDonald, Francois Martin, Fumihiko Matsukura, Robert D. Miller, Andrew Millis, Christopher B. Murray, Paul Nealey, We-Xin Ni, Fumiyuki Nihey, Dmitri Nikonov, Yoshio Nishi, Chris Ober, Brian Raley, Ramamoorthy Ramesh, Nachiket Raravikar, Mark Reed, Curt Richter, Dave Roberts, Frances Ross, Tadashi Sakai, Lars Samuelson, Mitusru Sato, John Henry Scott, Farhang Shadman, Sadasivan Shankar, Atsushi Shiota, Reyes Sierra, Kaushal K. Singh, Susanne Stemmer, Koki Tamura, Evgeny Tsybal, Emanuel Tutuc, Ken Uchida, John Unguris, Bert Vermiere, Yasuo Wada, Vijay Wakharkar, Kang Wang, Rainer Waser, Stanley Williams, C.P. Wong, H.S. Philip Wong, Walter Worth, Hiroshi Yamaguchi, Toru Yamaguchi, In Kyeong Yoo, Victor Zhimov

Front End Processes—Khaled Ahmed, Mauro Alessandri, Michael Alles, Luis Aparicio, Leo Archer, Amulya Athayde, Souvik Banerjee, Joel Barnett, Twan Bearda, Meridith Beebe, Ivan (Skip) Berry, Frederic Boeuf, Bill Bowers, Ian Brown, Arifin Budihardio, Mayank T. Bulsara, Jeff Butterbaugh, George K. Celler, Cetin Cetinkaya, Juanita Chambers, Mark Chang, Victor Chia, Lisa Cheung, Chin-Cheng Chien, Phil Clark, Luigi Columbo, Jeffrey Cross, Michael Current, Adrien Danel, Carlos H. Diaz, Anthony (Tony) Dip, Bruce Doris, Roxanne Dulas, Laszlo Fabry, Jeff Farber, Sue Felch, Graham Fisher, Hideaki Fujiwara, Nobuo Fujiwara, Nichola Fuller, Glenn Gale, Ernst Gaulhofer, Gabe Gebara, Mike Goldstein, Hans Gossmann, Christiane Gottschalk, Dinesh C. Gupta, Qingyuan Han, Dick Hockett, Andrew Hoff, Ron Hoyer, Makarem Hussein, Huang-Tsung Hwang, Koji Izunome, Raj Jammy, Ravi Kanjolia, Bruce Kellerman, Simon Kirk, Brian Kirkpatrick, Hiroshi Kitajima, Martin Knotter, Daniel Koos, Tom Kropewnicki, Larry Larson, Jeff Lauerhaas, Kun-Tack Lee, Tom Lii, Hong Lin, Ming Lin, Lewis Liu, Shih-hsin Lo, Tom McKenna, Paul Mertens, Ichiro Mizushima, Jim Moreland, Paul Morgan, Wolfgang Mueller, Brian Murphy, Anthony Muscat, Toshio Nagata, Toufic Najia, Sadao Nakajima, Yasuo Nara, Sadao Nakashima, Masaaki Niwa, Faran Nouri, Atsushi Ogura, Toshihide Ohgata, Hiroshi Oji, Carl Osburn, Jin-Goo Park, Friedrich Passek, Eric Persson, Darryl Peters, Gerd Pfeiffer, Francesco Pipia, Noel Poduje, Jagdish Prasad, Krishnaswamy Ramkumar, Rick Reidy, Karen Reinhardt, Hwa-sung Rhee, Jae-Sung Roh, Gundu Sabde, Akira Sakai, Thomas Schwarze Tom Seidel, Archita Sengupta, Jim Shen, Wolfgang Sievert, Stephen Silverman, Greg Smith, Chris Sparks, Bob Standley, Chris Stapelmann, Sing-Pin Tay, Hong-Hsiang Tsai, Hsing-Huang Tseng, Hidetsugu Uchida, Steven Verhaverbeke, Peter Wagner, Hitoshi Wakabayashi, Mike Walden, Masaharu Watanabe, Neil Weaver, Ted White, Rick Wise, Han Xu

Lithography—Will Conley, Kevin Cummings, Nigel Farrar, Theodore Fedynyshyn, Gene Fuller, Janice Golda, George Gomba, Isamu Hanyu, Naoya Hayashi, Scott Hector, Dan Herr, Iwao Higashikawa, Masaomi Kameyama, Keishiro Kurihara, David Kyser, Michael Lercel, Harry Levinson, Yuansheng Ma, Scott Mackay, Susumu Mori, Shigeru Moriya, Yasushi Ohkubo, Shinji Okazaki, Yoshimitsu Okuda, Junichi Onodera, Eric Panning, Connie Reed, Mordechai Rothschild, Masaru Sasago, Kazuyuki Suko, Takashi Taguchi, Hidehito Tanaka, Tsuneo Terasawa, Yoshihito Todokoro, Walt Trybula, Takayuki Uchiyama, Keiji Wada, Phil Ware, John Wiesner, Grant Willson, Masaki Yamabe, Yuichi Yamada, Atsuko Yamaguchi, Tadayuki Yamaguchi, Tetsui Yamaguchi, Larry Zurbrick,

Interconnect—Shuhei Amakawa, Nobuo Aoi, Sitaram Arkalgud, Lucille Arnaud, Mandeep Bamal, Joel Barnett, Hans Barth, Chris Case, Carlye Case, Robin Cheung, Alexis Farcy, Paul Feeney, Bob Geffken, Qingyan Han, Masayuki Hiroi, Harold Hosack, Yasushi Igarashi, Masayoshi Imai, Yoshiyuki Kadokura, Ryuichi Kanamura, John Knickerbocker,

謝辭 (Acknowledgments)

Mauro Kobrynski, J. D. Luttmner, Mike Mills, Hiroshi Miyazaki, Azad Naeemi, N S Nagaraj, Tomoji Nakamura, Yuichi Nakao, Eiichi Nishimura, Junji Noguchi, Werner Palmer, Robert Patti, Scott Pozder, Rick Reidy, Hideki Shibata, Michele Stucchi, Katsuhiko Tokushige, Manabu Tsujimura, Kazuyoshi Ueno, Susan Vitkavage, Detlef Weber, Tomio Yamashita, Osamu Yamazaki

Factory Integration—Mahmoud Aghel, Hiroyuki Akimori, Jim Ammenheuser, Robert Atherthon, Mohammad Avishan, Daniel Babbs, Robert Bachrach, Marie-France Bernard, Josef Bichlmeier, David Bouldin, Michael Bufano, Hugo Chang, Jonathan Chang, Shi-Chung Chang, Al Chasey, Allan Chen, Argon Chen, PH Chen, Thomas Chen, Ivan Chou, Mars Chou, Yon Chou, Eric Christensen, Hiroyuki Chuma, Kandi Collier, Blaine Crandell, Jean-Francois Delbes, Ron Denison, Ed Dobson, Hans Martin Dudenhausen, Klaus Eberhardt, Dave Eggleston, Eric Englhardt, Neil Fisher, Len Foster, Terry Francis, Masazumi Fukushima, Ashwin Ghatalia, Detlev Glueen, Barbara Goldstein, Ton Govaarts, Arie Greenberg, Dave Gross, Mutaz Haddadin, Sven Hahn, Martin Haller, Chung Soo Han, Clint Harris, Masahiro Hasegawa, Parris Hawkins, Harald Heinrich, Larry Hennessy, Donald Hicks, Toshiya Hirai, Michio Honma, Yasutaka Horii, CJ Huang, Roy Hunter, Takeshi Ikeda, Junji Iwasaki, Mani Janakiram, Tom Jefferson, Melvin Jung, Kazuhiro Kakizaki, Franklin Kalk, Nobuo Kanamori, Atsuya Kanoh, Atsuhiko Kato, Shigeru Kobayashi, Shoichi Kodama, K.T. Kuo, Todd Lasater, YC Lee, Ya-Shian Li, Span Lu, Tom Mariano, Don Martin, Les Mashall, Bill Miller, Dave Miller, Kazutaka Mishima, Akira Mitsui, Ryouji Mori, Kazuhiro Morimoto, James Morrison, James Moyne, Eckhard Müller, Don Myers, Seiya Nakagawa, Hideki Nakajima, Seiichi Nakazawa, Phil Naughton, Kenjiro Nawa, Andreas Neuber, Takayuki Nishimura, Richard Oechsner, Shuzo Ohshio, Doug Oler, Masashi Omori, Yasuo Onodera, Mikio Otani, C.H. Park, Seora Park, S.H. Park, Fernandiz Patrick, Mike Patterson, Will Perakis, Dev Pillai, Scott Pugh, Adrian Pyke, Gopal Rao, Joe Reiss, Ralph Richardson, Lance Rist, Georg Roeder, Claus Schneider, Mike Schwartz, Marlin Shopbell, Court Skinner, Arnie Steinman, Dan Stevens, Shigeru Suga, Keisuke Suzuki, Abol Taghizadeh, Junichi Takeuchi, Hiromichi Tani, Keisuke Tanimoto, Naritoshi Tsuzuki, Toshiyuki Uchino, Kensuke Uriga, KR Vadivazhagu, Brad Van Eck, Joost van Herk, Philippe Vialletelle, Tikara Wada, Alan Weber, Harvey Wohlwend, Rex Wright, Bevan Wu, Hiromi Yajima, Makoto Yamamoto

Assembly and Packaging—Joseph Adam, Mudasir Ahmad, Bernd Appelt, Richard Arnold, Muhannad Bakir, Ivor Barber, Martin Bayes, Craig Beddinfield, Mario Bolanos, W. R. Bottoms, Chi-Shih Chang, William T. Chen, Carl Chen, Chia-Pin Chiu, Jason Cho, Sonjin Cho, Bob N. Chylak, Chetan Desai, Kishor Desai, Darvin Edwards, Darrell Frear, George Harman, Shuya Haruguchi, Ryo Haruta, Fumihiko Hayano, Tomoo Hayashi, Harry Hedler, Harold Hosack, Mike Hung, John Hunt, Hisao Kasuga, Michitaka Kimura, Sreenivasan Koduri, Takanori Kubo, Mike Lamson, Choon Heung Lee, Dongho Lee, HeeSoo Lee, Rongshen Lee, Li Li, Hongwei Liang, Sebastian Liau, Weichung Lo, David Love, Abhay Maheshwari, Debendra Mallik, Lei Mercado, Stan Mihelcic, Gary Morrison, Jean-Pierre Moscicki, Rajen Murugan, Manoj Nagulapally, Hirofumi Nakajima, Keith Newman, Luu Nguyen, Kazuo Nishiyama, Masashi Otsuka, Richard F. Otte, Michael Pecht, Marc Petersen, Bob Pfahl, Ralf Plieninger, Gilles Poupon, Klaus Pressel, Bill Reynolds, Charles Richardson, Bernd Roemer, Bahgat Sammakia, Bidyut Sen, Yong-Bin Sun, Coen Tak, Hajime Tomokage, Shigeyuki Ueda, Shoji Uegaki, Shigeru Utsumi, Henry Utsunomiya, Kripesh Vaidyanathan, James Wilcox, Lawrence Williams, Max Juergen Wolf, Jie Xue, Zhiping Yang, Kwang Yoo Byun, Eiji Yoshida, Edgar Zuniga

Environment, Safety, and Health—Junichi Aoyama, James Beasley, Laurie Beu, Hans-Peter Bipp, Reed Content, Tom Diamond, John Harland, David Harman, Bob Helms, Stan Hughes, Shigehito Ibuka, Jim Jewett, Bruce Klafter, Joey Lu, Ed McCarthy, Laura Medicino, Michael Mocella, Ko Chun Mou, Phil Naughton, Takayuki Oogoshi, Brian Raley, Jeffrey Sczechowski, Farhang Shadman, Mike Sherman, Harry Thewissen, Tetsu Tomine, Tim Wooldridge, Walter Worth

Yield Enhancement—Rajat Agrawal, Scott Anderson, Hyun Chul Baek, David Blackford, Andrew Bomber, Tracey Boswell, Mark Camenzind, Jill Card, Jan Cavelaars, C. H. Chang, Jeff Chapman, Chan Yuan Chen, Uri Cho, James S. Clarke, Scott Covington, Mark Crockett, Dirk de Vries, John Degenova, James Dougan, Diane Dougherty, Janice Edler, Francois Finck, Frank Flowers, Dan Fuchs, Takashi Futatsuki, Barry Gotlinsky, Jeffrey Hanson, Allyson Hartzell, Takahiko Hashidzume, Rob Henderson, Benoit Hirschberger, Christoph Hocke, Kazuhiro Honda, Jim Huang, Steve Hues,

謝辭 (Acknowledgments)

Masakazu Ichikawa, Masahiko Ikeno, Francesca Illuzzi, Billy Jones, Keith Kerwin, Katsunobu Kitami, Isao Kojima, John Kurowski, Sumio Kuwabara, Sang KyuPark, Bob Latimer, Slava Libman, Chris Long, Luke Lovejoy, Michael Lurie, Steven Ma, Kosei Matsumoto, James McAndrew, Len Mei, Yoko Miyazaki, Fumio Mizuno, William Moore, Chris Muller, Jonathan M. Myers, Yoshinori Nagatsuka, Andreas Neuber, Kazuo Nishihagi, Andreas Nutsch, Joseph O'Sullivan, Akira Okamoto, Michael Otto, Takanori Ozawa, Kevin Pate, Dilip Patel, Lothar Pfitzner, Larry Rabellino, Dieter Rathei, J. Ritchison, Dave Roberts, Dan Rodier, Biswanath Roy, Koichi Sakurai, Tony Schleisman, Sarah Schoen, Hisaharu Seita, Kevin Sequin, Ryu Shioda, Yoshimi Shiramizu, Aaron Shupp, Drew Sinha, Terry Stange, Val Stradzs, Ed Terrell, Ines Thurner, Bart Tillotson, Stephen Toebes, Jimmy Tseng, Ken Tsugane, Rick Udischas, Tings Wang, Jian Wei, Dan Wilcox, Hubert Winzig, C. S. Yang, Dimitry Znamensky

Metrology—John Allgair, Chas Archie, Bill Banke, Meredith Beebe, Ben Bunday, Soobok Chin, Hyun Mo Cho, Alain Diebold, Mike Garner, Dan Herr, Thomas Hingst, Richard Hockett, Kazuhiro Honda, Masakazu Ichikawa, Masahiko Ikeno, Eiichi Kawamura, Chul Hong Kim, Steve Knight, Mario Kobrinsky, Isao Kojima, Sumio Kuwabara, Jack Martinez, Fumio Mizuno, Kazuo Nishihagi, Akira Okamoto, George Orji, Ingrid Peterson, Noel Poduje, Bart Rijpers, J.H. Shieh, Vladimir Ukraintsev, Brad Van Eck, Victor Vartanian, Andras Vladar, Yuichiro Yamazaki

Modeling and Simulation—D. Aemmer, N. Aoki, S. Asada, V. Axelrad, V. Bakshi, E. Bär, A. Benvenuti, I. Bork, W. Demmerle, A. Erdmann, V. Fiori, R. Gafiteanu, R. Gull, H. Hayashi, A. Heringa, H. Huizing, N. Izumi, H. Jaouen, A. De Keersgieter, A. Kersch, M. Kimura, W. Knaipp, T. Kunikiyo, G. LeCarval, E. Langer, W. Lerch, J. Lorenz, T.C. Lu, S. Mason, M. Miura-Mattausch, W. Molzer, C. Mouli, M. Nakamura, P. Pfäffli, P. Pichler, S. Ogata, B. Sahli, N. Sano, S. Satoh, F. Schellenberg, K. Stokbro, W. Trybula, T. Wada, C.S. Yeh, C. Zechner

REGIONAL SUPPORT TEAMS

We acknowledge and thank the regional teams for their support:

- ◆ *Europe—STMICROELECTRONICS*—Francis Blin, Emmanuelle Bognaux
- ◆ *Japan*—Rika Akashi, Yutaka Onda, Noboru Furukawa
- ◆ *Taiwan*—Celia Shih
- ◆ *USA*—Yumiko Takamori, Linda Wilson

Intel meeting support team—Sally Yanez

ISMI—Tom Abell, Michio Honma, Brad Van Eck

SEMATECH—Mario Gonzales, Sarah Mangum, Donna Towery

SEMI Japan—Arisa Minaki

SEMI North America—Pat Gardne

SIA—Judy Ajifu Rodgers

TABLE OF CONTENTS

序論 (Introduction)	1
概要(Overview).....	1
ロードマップの作成過程と構成.....	2
ロードマップ作成過程.....	2
ロードマップの内容 (Roadmap Content).....	3
技術指標 (Technology Characteristics).....	5
技術発展のペース (Technology Pacing).....	6
ロードマップがカバーする範囲 (Roadmap Scope).....	10
ITRS 2007 年版のトピックス (2007 ITRS Special Topics).....	12
主要な技術課題 14	
概要.....	14
短期予測 (2015 年まで).....	14
性能向上.....	14
低コスト生産.....	19
長期予測 (2016 年から 2022 年).....	23
性能向上.....	23
低コスト生産.....	25
2007 新規事項—ワーキンググループ要約	27
システムドライバ (System Drivers).....	27
設計.....	29
テストとテスト装置.....	31
プロセスインテグレーション、デバイス、および構造.....	33
ワイアレス通信のためのRFとアナログミックス信号技術.....	38
新探究デバイス (ERD, Emerging Research Devices).....	40
新探究材料 (ERM, Emerging Research Materials).....	42
フロントエンドプロセス.....	45
リソグラフィ.....	47
配線.....	49
ファクトリーインテグレーション.....	51
アセンブリーパッケージ (Assembly and Packaging).....	54
環境・安全・健康(ESH).....	57
歩留まり向上.....	60
計測.....	63
モデリング&シミュレーション.....	66
総括ロードマップ技術指標 (ORTC)	70
背景.....	70
2007 年改訂の概要.....	70
定義.....	70
ロードマップのタイムライン.....	73
製品世代およびチップ寸法モデル.....	76
チップ・サイズ、リソグラフィ・フィールド、ウェーハ・サイズのトレンド.....	88

パッケージされたチップの性能.....	93
電氣的な欠陥密度.....	97
電源と消費電力.....	99
コスト.....	100
用語集	104

LIST OF FIGURES

Figure 1	2005 Definition of Pitches	7
Figure 2	A Typical Production “Ramp” Curve	8
Figure 3	Technology Cycle Timing Compared to Actual Wafer Production	
	Technology Capacity Distribution	10
Figure 4	Moore’s Law and More	12
Figure 5	MOS Transistor Scaling—1974 to present	72
Figure 6	Scaling Calculator	73
Figure 7	2007 ITRS—Half Pitch and Gate Length Trends	75
Figure 8	2007 ITRS Product Function Size Trends: MPU Logic Gate Size (4-transistor); Memory Cell Size [SRAM (6-transistor); Flash (SLC and MLC), and DRAM (transistor + capacitor)]	80
Figure 9	2007 ITRS Product Technology Trends: Product Functions/Chip and Industry Average “Moore’s Law” Trends	81

LIST OF TABLES

Table A	Improvement Trends for ICs Enabled by Feature Scaling	1
Table B	ITRS Table Structure—Key Lithography-related Characteristics by Product	6
Table ITWG1	Major Product Market Segments and Impact on System Drivers	28
Table ITWG2	Overall Design Technology Challenges	30
Table ITWG3	Summary of Key Test Drivers, Challenges, and Opportunities	32
Table ITWG3	Process Integration Difficult Challenges—Near-term Years	34
Table ITWG3	Process Integration Difficult Challenges—Long-term Years	35
Table ITWG4	RF and Analog Mixed-Signal (RF and AMS) Technologies for Wireless Communications Difficult Challenges	39
Table ITWG5	Emerging Research Device Technologies Difficult Challenges	41
Table ITWG6	Emerging Research Material Technologies Difficult Challenges	43
Table ITWG7	Front End Processes Difficult Challenges	46
Table ITWG8	Lithography Difficult Challenges	47
Table ITWG9	Interconnect Difficult Challenges	50
Table ITWG10	Factory Integration Difficult Challenges	51
Table ITWG11	Assembly and Packaging Difficult Challenges	54
Table ITWG12	Environment, Safety, and Health Difficult Challenges	57

Table ITWG13	Yield Enhancement Difficult Challenge	61
Table ITWG14	Metrology Difficult Challenges	64
Table ITWG15	Modeling and Simulation Difficult Challenges	67
Table C	Rounded versus Actual Trend Numbers (DRAM Product Trend Example)	74
Table 1a	Product Generations and Chip Size Model Technology Trend Targets— Near-term Years	77
Table 1b	Product Generations and Chip Size Model Technology Trend Targets— Long-term Years	77
Table 1c	DRAM and Flash Production Product Generations and Chip Size Model— Near-term Years	78
Table 1d	DRAM and Flash Production Product Generations and Chip Size Model— Long-term Years	79
Table 1e	DRAM Introduction Product Generations and Chip Size Model— Near-term Years	82
Table 1f	DRAM Introduction Product Generations and Chip Size Model— Long-term Years	82
Table 1g	MPU (High-volume Microprocessor) Cost-Performance Product Generations and Chip Size Model—Near-term Years	84
Table 1h	MPU (High-volume Microprocessor) Cost-Performance Product Generations and Chip Size Model—Long-term Years	85
Table 1i	High-Performance MPU and ASIC Product Generations and Chip Size Model—Near-term Years	87
Table 1j	High-Performance MPU and ASIC Product Generations and Chip Size Model—Long-term Years	87
Table 2a	Lithographic-Field and Wafer-Size Trends—Near-term Years	92
Table 2b	Lithographic-Field and Wafer Size Trends—Long-term Years	92
Table 3a	Performance of Packaged Chips: Number of Pads and Pins—Near-term Years	93
Table 3b	Performance of Packaged Chips: Number of Pads and Pins—Long-term Years	94
Table 4a	Performance and Package Chips: Pads, Cost—Near-term Years	95
Table 4b	Performance and Package Chips: Pads, Cost—Long-term Years	96
Table 4c	Performance and Package Chips: Frequency On-chip Wiring Levels— Near-term Years	96
Table 4d	Performance and Package Chips: Frequency On-chip Wiring Levels— Long-term Years	96
Table 5a	Electrical Defects—Near-term Years	97
Table 5b	Electrical Defects—Long-term Years	97
Table 6a	Power Supply and Power Dissipation—Near-term Years	99
Table 6b	Power Supply and Power Dissipation—Long-term Years	100
Table 7a	Cost—Near-term Years	102
Table 7b	Cost—Long-term Years	102

序論 (INTRODUCTION)

概要(OVERVIEW)

過去 40 年以上にわたり、半導体産業は半導体製品の急速な進歩を達成してきた。その間に進歩した主な項目とその内容例を Table A に示す。こうした進歩は、集積回路を製造するときに使用される最小寸法 (feature size) を年々指数関数的に縮小する産業全般の技術力により実現されてきた。最もよく使用される集積化の進展を示すトレンドは、ムーアの法則(約 24 カ月でチップあたりのコンポーネント数が 2 倍となる)である。社会にとって重要なトレンドは、集積回路の機能あたりコストの低減で、これにより集積回路がコンピュータ、電気通信、家電製品の普及に貢献し、経済における生産性と社会全体における生活の質の大きな改善をもたらした。

Table A Improvement Trends for ICs Enabled by Feature Scaling

トレンドの項目(TREND)	性能指標の例(EXAMPLE)
集積レベル (Integration Level)	コンポーネント数/チップ、ムーアの法則 (Components/chip, Moore's Law)
コスト(Cost)	機能あたりコスト(Cost per function)
速度(Speed)	マイクロプロセッサの処理性能 (throughput)
消費電力(Power)	ラップトップ/パーソナルコンピュータあるいは携帯電話の電池寿命 (Laptop or cell phone battery life)
コンパクト性 (Compactness)	小型軽量製品(Small and light-weight products)
機能(Functionality)	不揮発性メモリ、撮像素子(Nonvolatile memory, imager)

「スケーリング則」とも呼ばれるこれらの進歩は、巨額の研究開発投資により可能となった。過去 30 年で必要投資額はますます増大したために、産業内での協力が進展し、多くの企業間研究開発協力、コンソーシアム、その他の協力ベンチャ企業が生み出されている。このような研究開発プログラムをガイドする一助として、米国の半導体産業協会 (Semiconductor Industry Association, SIA) は米国半導体技術ロードマップ (National Technology Roadmap for Semiconductors, NTRS) の編纂を開始し、1992 年、1994 年、1997 年版をまとめた。1998 年には、SIA は欧州、日本、韓国、台湾の半導体工業会とともに、このロードマップの 1998 年改訂版を編纂するとともに、最初の国際半導体技術ロードマップ (International Technology Roadmap for Semiconductors, ITRS) の編纂作業を開始し、翌年の 1999 年に出版された。それ以来、偶数年に部分改訂を、奇数年に全面改訂を行っている。ITRS の全般的な目的は、今後 15 年間にわたる産業界の研究開発のニーズに関して、「現時点での最良の予測」についての産業界のコンセンサスを提示することである。ITRS は、それ自体として、企業、大学、行政機関をはじめとする研究機関や研究資金供給機関の業務にたいしてガイドラインを与えている。ITRS はすべての階層で研究開発投資判断の質を向上させ、研究のブレークスルーが最も必要とされる領域で研究開発活動を支援してきた。

ITRS は動的な活動プロセスを持っていて、それは ITRS の文書からも明らかである。ITRS は半導体産業界が単純な幾何学的スケーリング (geometrical scaling) から等価的スケーリング (equivalent scaling) に移行していくことを反映している。ムーアの法則 (Moore's Law) に代表される幾何学的スケーリング

(geometrical scaling) 過去 30 年にわたりよい指導原理であり、目標であったし、半導体チップメーカーにとっても、多くの面で、今後とも目標である続ける。等価的スケールリング (equivalent scaling) の目標は、設計のイノベーション、ソフトウェア的な解決法、製造プロセスのイノベーションを通しての性能改善に代表されるが、今後 10 年間で半導体産業にとって、ますます重要な指導原理となる。2001 年以来、ITRS は新しい章を追加してきた。2001 年にシステムドライバーの章を、2005 年には新探究デバイス (Emerging Research Devices) の章と RF アナログ (Radio Frequency and Analog/Mixed-signal Technologies for Wireless Communications) の章を、2007 年の最新版では新探究材料 (Emerging Research Materials) の章書き下ろし、半導体産業の発展をよりよく反映させたものになった。

1992 年の NTRS 以来、NTRS と ITRS のロードマップの基本的な前提は、エレクトロニクスの継続的な微細化 (scaling) は単位機能あたりのコストを削減 (歴史的には年率約 25-29%) し、市場を拡大 (歴史的には、年率約 17% であるが近年伸びが鈍化している) するということであった。したがって、ロードマップは、本質的には、「産業界がムーアの法則やその他のトレンドを維持するためには、どのような技術的な力を開発しなければならないか？」というチャレンジ精神に基づいてまとめられたものである。

今後 10 年間に、複数の新規の素子を導入することで、CMOS プロセスの能力を補強する必要があると予測されている。新規素子は、できることなら、CMOS 素子よりも良い特性をものであることが期待される。しかしながら、新規素子は CMOS をすべての特性で凌駕する可能性は低く、したがって、CMOS のコアの周りにこれらの新しい機能を、チップレベルかパッケージレベルで、集積化することが期待されている。

ヨーロッパ・日本・韓国・台湾・米国の 5 地域の専門家 (エキスパート) の参加と継続的なコンセンサス形成により、ITRS 2007 年版は、半導体技術と半導体集積回路市場の歴史的発展を将来にわたり拡大させようとする際に、最も信頼のおける半導体研究のガイドラインとなっている。ITRS 2007 年版全文や ITRS の過去の版の全文は、電子ドキュメントとしてインターネットウェブサイト <http://public.itrs.net> から 閲覧・印刷できるようになっている。【訳者注: JEITA の半導体技術ロードマップ専門委員会 (STRJ) のウェブサイト <http://strj-jeita.elisasp.net/strj/> にも ITRS へのリンクがあり、さらに ITRS の和訳にもアクセスできる。】

ロードマップの作成過程と構成

ロードマップ作成過程

ITRS の作成過程における全体調整は、国際ロードマップ委員会 (International Roadmap Committee, 以後 IRC と略記) の責任で行っている。IRC は欧州、日本、韓国、台湾、米国の各地域からの 2-4 名のメンバ構成されている。IRC の主要機能は以下である。

- 国際技術ワーキンググループ (International Technology Working Group, ITWG) の指導と調整を行うこと
- ITRS ワークショップを主催すること
- ITRS の編集を行うこと

それぞれの技術の章は、対応する国際技術ワーキンググループ (International Technology Working Group, 以後 ITWG と略記) が執筆する。ITWG には 2 つのタイプ、すなわちフォーカス ITWG およびクロスカット ITWG がある。フォーカス ITWG は、設計/プロセス/テスト/パッケージという集積回路の一連の工程フローを構成する個々のステップに対応している。クロスカット ITWG は、いくつかのクリティカルなステップでオーバーラップする個別の ITWG 活動をサポートする活動である。

2007 年版 ITRS では、フォーカス ITWG は以下の通りである。

- システムドライバ
- 設計
- テストとテスト装置
- プロセス・インテグレーション、デバイス、構造 (PIDS)
- 無線通信用高周波、アナログ混載技術
- 新探究デバイス

- フロントエンドプロセス
- リソグラフィ
- 配線
- ファクトリインテグレーション
- アセンブリと実装

クロスカット ITWG は以下の通りである。

- 新探究材料
- 環境、安全、健康
- 歩留向上
- メトロロジ(計測)
- モデリングとシミュレーション

各 ITWG は、産業界(半導体デバイスメーカ、装置や材料のサプライヤ企業)、政府系研究機関、大学の専門家で構成されている。

各 ITWG の構成には、その技術分野の所属機関別専門化数が反映されている。たとえば、新探究デバイス(Emerging Research Devices)のように長期的な研究が必要な技術分野では、研究機関からの参加者数がサプライヤ企業からの参加者数より多い。プロセス技術(フロントエンドプロセス、リソグラフィ、配線)においては、装置・材料サプライヤからの参加者数を反映して、サプライヤからの参加比率より大きい。これは、近未来の技術的要求について述べる必要があるからである。

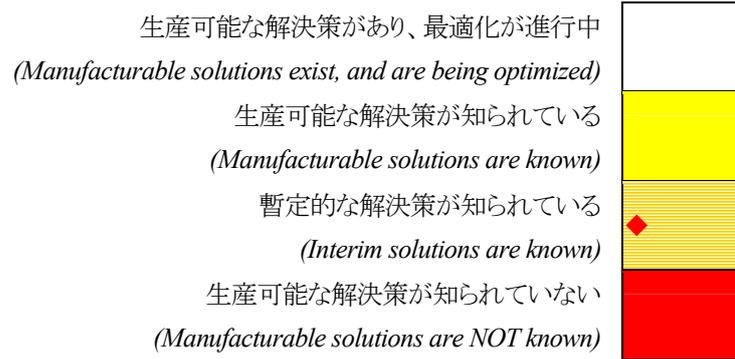
ITRS 2007 年版作成にあたって、世界レベルの ITRS 会議を 3 回開催した。アヌシー(フランス、ESIA 主催、STMicroelectronics がホスト)、サンフランシスコ(米国、SIA 主催、SEMATECH が組織、SEMI/North America が共催)、千葉【訳者注:ITRS 会議は鎌倉で、Public Conference は千葉で開催】(日本、JEITA と SEMI ジャパンが共同で主催・ホスト)で行われた会議である。これらの会議は各 ITWG メンバ間の討議や、異なる ITWG 間調整などのフォーラムの場となった。加えて、ITRS では年 2 回、公開の「ITRS コンファレンス」を開催し、最新のロードマップの内容を開示するとともに、広い範囲の半導体業界から意見や情報を収集し、フィードバックするようにしている。

ITRS は毎年改訂されている。偶数年には表等の改訂や修正を行った部分改訂版(Update)を発行しており(2000 年、2002 年、2004 年、2006 年)、奇数年には全面改訂版(Revision)を発行している(2001 年、2003 年、2005 年、2007 年)。この ITRS のプロセスにより、絶えず半導体産業の短期的、長期的な技術要求に対しアセスメントを行っている。また、ITRS 作成の過程ではタイムリーに ITRS の予測と技術解の候補となる最新の研究開発ブレイクスルーとの比較も行っている。

ロードマップの内容 (Roadmap Content)

ITRS は、[異なる研究主体間でも]研究活動が共有されうるようにするため、技術的要求を明らかにし、達成されるべき目標のアセスメントを行っている。目標はできる限り定量的なものとし、表の形で表現し、重要なパラメータの時間的進化がわかるようにした。必要に応じ、説明文を付加し、表中の数字の意味を説明し、明確化するようにした。

さらに、ITRS では、個々の目標値に対して、その成熟度や確度を表中の色で表示している。



最初の「生産可能な解があり、最適化が進行中」という状況は「白」で示されていて、「目標は現在利用できる技術や装置によって達成可能で、コスト的にも性能的にも生産可能な水準にある」ことを示している。2 番目の「黄」で示された状況は「目標達成のためには更なる開発が必要であるが、その解決策はすでに明らかになっていて、専門家は生産開始に間に合うように必要な能力を実演できると確信している」ことを示している。3 番目の「暫定的な解決策が知られている」という状況は、「現在の解決策には諸制約があっても生産開始が遅れることはないが、初期においてはなんらかの回避策が適用され、プロセス制御、歩留まり向上、生産性向上などの分野で生産性目標との乖離を埋めるためにその後の改善が期待される」ことを示している。4 番目の状況はロードマップの技術要求の表では「赤」で強調されていて、ITRS 編集が始まったところから、「赤い煉瓦の壁 (Red Brick Wall)」（以後、意識するときは「技術の壁」と訳出する）と呼ばれてきたものである。この「赤」はロードマップの上で公式に、「将来何らかの真のブレイクスルーを達成しない場合にはこれまでの進歩が停止してしまう」難度の高い課題があることを明示し警告している。一部のロードマップの読者にとって「赤」が、「重要でエキサイティングなチャレンジを強調する」目的を適切に果たしていない場合があったし、また、ロードマップにおける数値を色には関係なく「確かな実現に至る道の途上にある」と見なす読者もある。しかし、これらは誤りである。

「赤」は ITRS の表中で、半導体技術のとある観点から見て、微細化を続ける上で、「生産可能(と確信できるような)な解が知られていない」ところを示すために使われる。「赤」で示された数値は次の 2 つのカテゴリに分類できる。

1. 遅れる可能性があるが、最終的にはその値は達成される。しかし半導体産業は現在提案されている解決策に対して自信が持てないでいる。
2. その値は達成されない。(たとえば、何らかの「回避策」が生まれてその数値が無用になるか、または、進歩が停止してしまう。)

第一のカテゴリの赤で表示された数値を達成するには、研究におけるブレイクスルーが必要である。このブレイクスルーが「赤」を「黄」(定義は「製造可能な解決策が知られている」)に変え、ITRS の将来版では最終的に「白」(定義は「生産可能な解があり、最適化が進行中」)に変えることになるだろう。

「概要(Overview)」の節で指摘したように、ITRS ロードマップは「ムーアの法則としにほかのトレンドを維持するために産業界はどのような技術的能力を必要としているか」という精神にそってまとめられたものである。そういうわけで、「ムーアの法則を継続するためには、どの研究分野に焦点をさだめるべきか」について重点を置いて、「技術予測」を主眼しているわけではない。挑戦すべき技術課題を抽出するという精神に沿って、OTRC(総括ロードマップ技術指標, Overall Roadmap Technology Characteristics) チームは高レベルの技術的ニーズを改訂し、これが、各章の統一を図るための共通的な基準点を定めている。高レベルの目標は OTRC の各表にまとめられている。これは少なくとも部分的には、従来どおり集積回路技術の急速な発展トレンドを維持しなければならないとの経済的戦略に基づくものである。

しかしながら、過去数年にわたり、ITRS ロードマップはしばしば自己達成的な予言とみなされてきた。これは

程度まで、正しい見解でもある。各企業はロードマップをもとに、互いにベンチマーク(比較検討)を行うので、ロードマップは研究開発の加速のためには有効であると自ら実証することになった。この意味で、生産可能な解(Manufacturing solutions)や採用可能な暫定解が知られている場合には、ITRS ロードマップの目標を予測として使うことが不適當というわけでもない。

とはいえ、ITRS ロードマップの目標は民事争議やその他の場で法的主張の根拠として使うべきではない。特に、ITRS ロードマップ活動へ参加企業がロードマップ目標達成を確約を意味してわけではないこと。ITRS は技術評価だけを意図して編纂されたもので、個々の製品や設備に関する商業的対価には考慮していないことに留意されたい。

技術指標(Technology Characteristics)

すでに述べたように、国際ロードマップ委員会(International Roadmap Committee, 以後 IRC と略記)の指導と調整の中心的部分は ORTC(Overall Roadmap Technology Characteristics、総括ロードマップ技術指標)の表を最初に作成し、以後継続的に改訂していくところにある。国際技術ワーキンググループ(International Technology Working Group, 以後 ITWG と略記)が編集した章には、いくつかの主要な表が含まれている。これらは、ORTC の表の作成後に、個々 ITWG の技術要求の表として作成したものである。ITRS 2007 年版では、ORTC の表も、個別の技術要求の表も、短期(2007 年、2008 年...2015 年)【訳者注:原文では 2005 年、2006 年...2015 年であるが、これは誤り】、長期(2016 年、2017 年...2022 年)に分けて、各年に対応する値が記載されている。表の様式を Table B に示す。この表には、リソグラフィに関係した ORTC の Table 1a と Table 1b からいくつかの行を引用しており、フラッシュ製品(Flash Products, 一括消去可能な不揮発性メモリ)のコンタクトを含まないポリシリコンのハーフピッチの技術トレンドもそれに含まれている。ITRS2005 年版では DRAM の互い違いのコンタクトを含む M1(最下層金属配線)のハーフピッチだけは、ITWG のそれぞれの表の最初の行に標準的なヘッダーとして、必ず引用することになっていた。ITRS2007 年版では、各表の最初の行は「生産開始年(Year of Production)」を標準的なヘッダとして使うが、そのほか技術トレンドの指標については、各 ITWG の判断によって ORTC の Table 1a と Table 1b から適宜選択されたものが、それぞれの ITRG の表の主要な技術ドライバを表すヘッダーとして使うこととした。

Table B ITRS Table Structure—Key Lithography-related Characteristics by Product

Near-term Years

YEAR OF PRODUCTION	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM stagger-contacted Metal 1 (M1) 1/2 Pitch (nm)	65	57	50	45	40	36	32	28	25
MPU/ASIC stagger-contacted Metal 1 (M1) 1/2 Pitch (nm)	68	59	52	45	40	36	32	28	25
Flash Uncontacted Poly Si 1/2 Pitch (nm)	54	45	40	36	32	28	25	23	20
MPU Printed Gate Length (nm)	42	38	34	30	27	24	21	19	17
MPU Physical Gate Length (nm)	25	23	20	18	16	14	13	11	10

Long-term Years

YEAR OF PRODUCTION	2016	2017	2018	2019	2020	2021	2022
DRAM stagger-contacted Metal 1 (M1) 1/2 Pitch (nm)	22	20	18	16	14	13	11
MPU/ASIC stagger-contacted Metal 1 (M1) 1/2 Pitch (nm)	22	20	18	16	14	13	11
Flash Uncontacted Poly Si 1/2 Pitch (nm)	18	16	14	13	11	10	9
MPU Printed Gate Length (nm)	15	13	12	11	9	8.4	7.5
MPU Physical Gate Length (nm)	9	8	7	6.3	5.6	5.0	4.5

OTRCと技術要求の表は、個々の技術要求の導入時期についての、現時点での最良の予想を示すことを意図したものである。技術導入年(Year of Introduction)と生産開始年(Year of Production)についての詳細な定義については、巻末の用語集(Glossary)も参照のこと。

技術発展のペース(Technology Pacing)

以前の ITRS の版では、集積回路(IC)の寸法微細化における産業界の全般的進歩をあらわす単一の単純な指標として、「技術ノード(Technology Node、hpXX ノードとも表記)」を使ってきた。これは、全製品の中からコンタクトホールを含む金属配線パターンの中で、そのピッチの半分として定義されていた。歴史的には、DRAM(Dynamic Random Access Memory、ダイナミックメモリ)がその製品であって、特定の時点では、DRAM がコンタクトホールを含む配線パターンとしては最も微細なパターンを使い、したがって、DRAM は ITRS の技術ノードのペースメーカーとなっていた。しかしながら、現在は複数の重要なテクノロジードライバが微細化を牽引する時代となった。このため、DRAM に代表される単一のテクノロジードライバを強調し続けるのは誤解を与えてしまうと考えた。

たとえば、ハーフピッチの微細化の進展に加えて、フラッシュメモリのセル設計においてセル面積比(セル面積/ハーフピッチの自乗)の縮小が急速に進み、これが更なる高集積化をもたらした。フラッシュメモリではひとつのセルに電氣的に複数ビットを書き分ける技術が進展し、リソグラフィ上のハーフピッチの微細化とは別の手段で、ビット集積度を向上させることができた。二番目の例は MPU/ASIC 製品群である。動作速度を向上させることが技術を牽引していて、[MOS トランジスタの]孤立したゲート電極パターンの寸法微細化が進展している。このためには、最先端のリソグラフィ技術をエッチング技術がゲート電極の最終的物理微細寸法を実現するために使われている。

従来の ITRS の技術ノードの定義についてはかなりの混乱があり、この問題は今でも続いている。多くのプレスリリースやそのほかの文書が「ノードの加速」に言及する際に、ITRS とは異なった、または、しばしば未定義の基準に拠ってきた。もちろん、異なる IC パラメータは異なる比率で微細化が進むと期待されるし、その多くのパラメータは製品ごとにその意味付けが異なるというのも確かにもっともなことである。このようなことを考慮して、ITRS 2007 年版では「技術ノード(Technology Node)」という用語を使わないことにし、今後もそれを継続する。上述のように、IRC は、各表の最初の行は「生産開始年」とするが、その次の行以降で DRAM の M1(最下層の

金属配線)のハーフピッチ示す場合もあるが、これは、集積回路(IC)の微細化の複数の歴史的指標のうちのひとつにすぎない。今回の版で ITRS の表のフォーマットを変更したが、ITRS が「技術ノード(Technology Node)」という概念に関する産業界の混乱の原因でなくなることを期待している。もちろん、「ノード」という用語は ITRS 以外の場では使われ続けるであろう。その際には、特定の製品において技術がどのように応用されているかを踏まえ、「ノード」の使い方が定義されることを期待している。

ITRS 2005年版(2007年版でも同じ定義を使用)における、全製品に対するM1(最下層の金属配線)ハーフピッチの一般的定義とフラッシュメモリのポリシリコン(多結晶シリコン)層のハーフピッチの定義については、Fig.1を参照されたい。

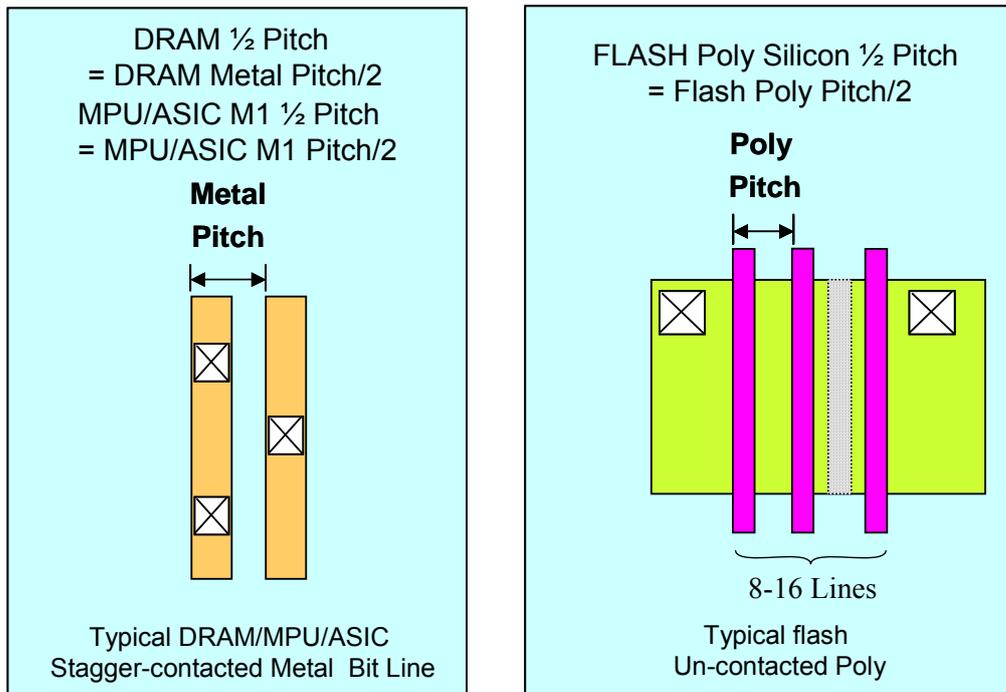


Figure 1 2005 Definition of Pitches

ITRS における技術導入時期の意味 (Meaning of ITRS Time of Introduction)

ORTC(Overall Roadmap Technology Characteristics、総括ロードマップ技術指標)と技術要求の表は、技術の導入時期に対して現時点での最良の推定を示している。理想的には、それぞれの分野での要求に応じて、研究-開発-プロトタイプング-生産という一連の複数のタイミングが示されるべきである。しかし、ITRS においてはひとつのタイミングに単純化し、「技術導入時期(Time of Introduction)」は「生産が開始された時点(Year of Production)」と定義しており、これが Fig. 2 に示されている。

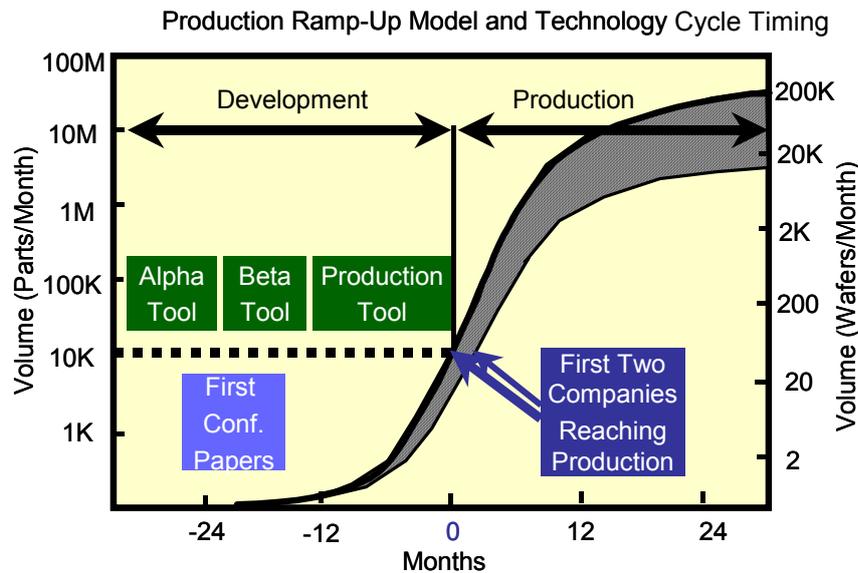


Figure 2 A Typical Production “Ramp” Curve

ITRS における“生産” タイミングとは、まず、第一の企業がある技術による生産を開始し、第二の企業が典型的なケースでは 3 ヶ月以内に生産を行ったタイミングである。生産とはプロセスおよび製品の認定が終了した時点である。製品の認定が終了するという事は顧客が製品の納入を認めることを意味する。したがって、生産に先立ちプロセスの認定や製造装置の開発は終了していなければならない。生産用の製造装置は通常 12 から 24 ヶ月先行して開発されていなければならない。当然ながら、アルファ機およびそれに続くベータ機は生産用製造装置の前に開発されていなければならないことになる。

Fig. 2 における「生産開始(Time zero (0))」の時点はフル生産開始の立ち上がり時点である。例えば、2 万 WSPM (wafer-start-per-month, 枚/月)の能力を持つよう設計された工場では、20 WSPM からフル能力まで生産を立ち上げるのに 9 から 12 ヶ月かかる。この期間は 6 千個/月から 6 百万個/月の生産を立ち上げる期間に対応する。6M ケ/月の生産とは、例えば 300mm ウェーハで 140mm² のチップ (430 チップ/ウェーハ) を 2 万 ウェーハ/月生産し、歩留まりが 70%であったときの生産量(430 チップ/ウェーハ × 2 万 WSPM × 70%)に対応する。

これに加え、上記の例では ITRS の生産量の立ち上げの例はウェーハサイズの世代が変化しないケースを想定していることを注意されたい。現在は、直径 300mm ウェーハから直径 450mm ウェーハへの移行期にさしかかりつつある。過去に、複数のウェーハ世代が共存するなかで、先行企業での生産量立ち上げのカーブがどうであったかについては、さらに精査する必要がある。2 つのウェーハ世代が共存する中で技術世代の移行が行われる際に、ウェーハサイズの変更による経済的な生産性向上モデルが検証されるべきである。

SICAS 2007の産業界の製造能力の改訂 (2007 SICAS INDUSTRY MANUFACTURING TECHNOLOGY CAPACITY UPDATE)

ITRS は、文字通り、最先端半導体製造技術が最初に工場に導入される時期を予測することに注力している。ここでいう最先端半導体製造技術というのは、DRAM、フラッシュメモリ、MPU、高性能 ASIC などのように、特定の最先端半導体製品群の製造を支えるものである。一方、多くの企業においては、それぞれの理由により、最先端技術の適用時期を先行企業より遅らせることも多い。したがって、現実の製造の場においては、最先端技術から旧世代の技術にいたるさまざまな世代の技術が共存している。

Fig.3 は、棒グラフの形で、実際の世界の半導体製造能力を製品に使われる素子寸法ごとに示したものである。棒の横方向の長さは、MOS 集積回路の生産能力に比例している。産業界全体の製造能力素子寸法ごとに分けて統計がとられているが、同じ年でみても新世代から旧世代まで多くの技術にまたがった広い分布している。

ITRSの技術サイクルは、DRAMのM1(最下層の配線)のハーフピッチを尺度として表示することにし、過去に実績値を黄色の印で示した。これはITRSの各TWG(技術ワーキンググループ)が実施した産業界の技術調査結果に基づいている。この調査は2003年、2005年、2007年に実施された。これによると、最先端のDRAMのM1ハーフピッチは2年サイクルで、すなわち2年ごとに素子寸法が0.71倍というペースで推移し、1998年の250nmだったものが、2004年には90nmとなった【訳者注:ITRSでは1サイクル(Cycle)を素子寸法が $1/\sqrt{2}$ となるために必要な期間と定義している。これは、素子のレイアウトが比例縮小される場合は、単位面積あたりの集積度が2倍になるために必要な期間に相当する】。しかしながら、最新の調査によると、DRAMの微細化トレンドはMPUの微細化トレンドに近づいている。これは、2007年版で詳しく議論され、次回改訂であるITRS2008改訂版でも報告される予定である。詳しくはITRS2007のPIDSの章を参照されたい

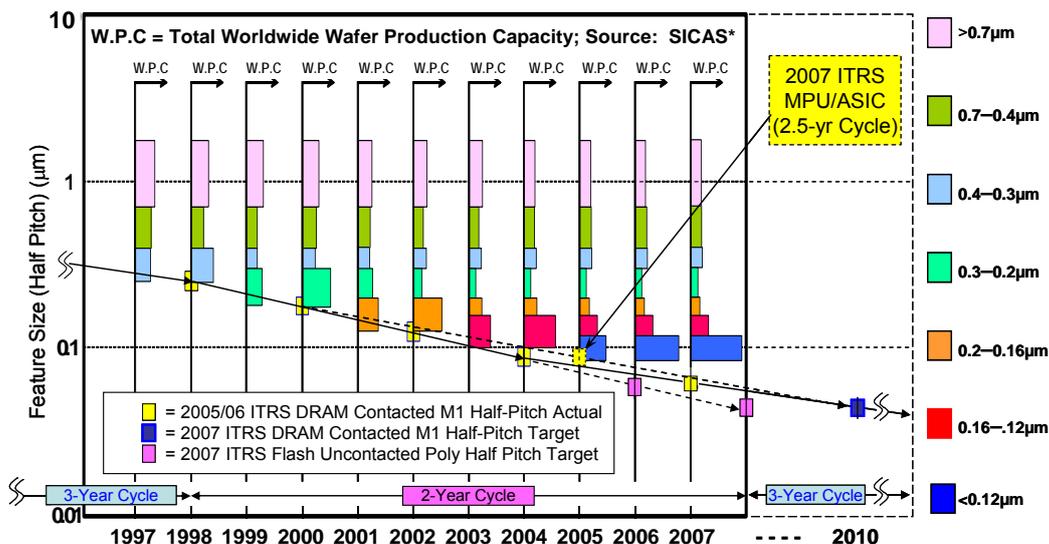
青い印はITRS 2007年版による次の世代の生産開始目標時期であり、2010年に45nm技術が実現するとしている。以後2022年までは、DRAMのM1ハーフピッチの目標値は3年サイクルで0.71倍の微細化が進むとしている。2022年はITRS 2007が表として記載している最終年にあたり、これを、ロードマップの地平線(Roadmap Horizon)と呼んでいる【訳者注:Horizon(地平線、あるいは水平線)の向こう側は見通すことができないということに由来した表現。このペースで微細化が進むと、2022年ごろに、シリコンを使ったCMOSトランジスタは、微細化限界に到達すると考えられている】。この図にはフラッシュメモリの生産能力も含まれている。フラッシュメモリの典型的デザインルールは多結晶シリコンのゲート電極のピッチの半分を使っている。フラッシュメモリの需要は急増しており、産業界の製造能力に一定のシェアを占めている。

最先端の素子寸法をもつ製品群の量産開始から1年以内に、生産のシェアが上昇して20-30%に到達し、またシェアが20-30%に到達した点のサイクルと量産開始のサイクルは等しいことに注目されたい。さらに、最先端技術の製造能力の比率は急上昇している。最先端技術世代とそのもうひとつ前の世代を合計すると、その製造能力も、典型的には、増加して、新技術導入から2ないし3年以内に全産業の生産能力の半分を占めるようになる。ITRS 2007ではフラッシュメモリの微細化トレンドが2008年まで2年で1世代分(寸法が0.71倍)のペースで進むとした。これは、さらなる製造能力が最先端世代に付け加わっていることを意味する。

SICASデータ上は、デザインルール0.12 μm 以下の分類に最先端の65nm世代の製造能力が含まれていることに注意されたい。デザインルール0.08 μm 以下の分類(製造能力が急増しているフラッシュメモリの65nm世代はここに含まれる)の新設とその調査データの公表は、SICASでは2007年後半以降に延期された。このため、最先端世代(全体のMOS製造能力の20-30%を占める)が2年サイクルか、3年サイクルかという分析はITRS 2008年改訂版以降に持ち越しとしたい。

旧世代製品の生産能力はだんだん先端世代に移っていくという予想もあったが、現実にはその予測ほどには減少していないことにも注目された。SICASで0.08 μm の分類ができて、最先端世代へ技術が移行していても、その時点での最先端世代のシェアは高くあり続ける。この現象は材料・装置のサプライヤの市場とビジネスモデルにとっては重大な意味を持ち続ける。最終的には、材料・装置のサプライヤが、ITRSの「主要な技術課題(Grand Challenges)」の解決策を開発して提供することになるからである。

サプライヤは長期間にわたって、旧世代技術の工場だけでなく、多岐にわたる技術を使う最先端の工場もサポートしなければならない。これに加えて、サプライヤはアルファ機・材料、ベータ機・材料を生産開始時期の2-3年前に供給しなければならない。さらに、その後の生産立ち上げ期に向けた必要とされる生産能力におうじられるよう準備をしなければならない。このようなシナリオは、装置・材料のサプライヤとチップメーカーの両者に市場機会をもたらすとともに、研究開発とサポートのリソースに対する課題も提供している。特に、来るべき直径450mmのシリコンウェーハ世代の投資についても上記のことがあてはまる。



注 半導体集積回路の製造の能力をSLA (Semiconductor Industry Association) のSICAS(Semiconductor Industry Capacity Supply statisticsStatistics)のデータに基づきプロットした。各年の第四四半期 (4Q) のデータを使ったが、2007 年については第二四半期 (2Q) のデータを使った。棒の横方向の長さは、MOS 集積回路の生産能力に比例している。縦方向は集積回路のデザインルール (典型的パターン寸法) を示している。生産能力は、工場の設備がフル稼働したときの生産能力のことであり、生産実績とは異なる。

Figure 3 Technology Cycle Timing Compared to Actual Wafer Production Technology Capacity Distribution

(注) 上記グラフのデータはSIA (Semiconductor Industry Association) のSICAS (Semiconductor Industry Capacity Supply statisticsStatistics)に基づいている。SICASのデータは世界中の半導体メーカーから収集され、MOS集積回路の製造能力の90%以上をカバーしている。今回は2007年8月にSIAが公開したデータに基づいている。詳細なデータはSIAのウェブサイトで公開されている。http://www.sia-online.org/pre_stat.cfmを参照されたい。

ロードマップがカバーする範囲 (Roadmap Scope)

伝統的に、ITRSの各版はCMOS (Complementary Metal-Oxide-Silicon) 技術のスケージングは継続するという見方を中心として作成されてきた。しかし2001年版より、われわれは次の見方をしている。ロードマップの地平線 (Horizon) の向こう側 (たとえば、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のチャンネル長が9nm以下になる時点) ではCMOSの継続スケージングに関する楽観的予測が危うくなるということである。さらに、半導体産業関係者の大多数の人々は、今までのようなプロセス装置および工場のコスト増加傾向を、さらにもう15年間どうやって負担し続けられるか想像することすら難しいと感じている。そこで、ITRSはポストCMOSデバイスを対象として取り上げることを始めている。これらのデバイス、すなわち比較的身近なNon-planar CMOSからスピントロニクス (Spintronics) などエキゾチックな新デバイスを含むことにより、ロードマップは必然的に拡散してゆく。CMOSの拡張であろうとまったく新規なアプローチであろうと、ポストCMOSの導入により機能当たりのコスト低減し、集積回路の性能を向上させなければならない。さらに、製品の性能向上は素子数の増加だけに頼るのではなく、設計上の選択肢や技術のパラメータの複雑な組み合わせによって実現されるものになってくる。したがって、ロードマップでの新技術とは新規デバイスだけでなく新しい製造技術や設計技術のためのパラダイムをも含むことになる。

マイクロプロセッサ、メモリ、ロジック集積回路は、シリコンの CMOS 技術を必要としている。最小寸法の微細化によって、ムーアの法則に示されるように、ひとつのチップ上にますます多くのトランジスタを集積できるようになった。SoC (System-on-Chip、複数の機能を単一チップ上に集積化する技術)の本質的機能はデータ蓄積とデジタル信号処理である。しかしながら、電力消費、ワイヤレス通信(または RF(高周波))のバンド幅などの多くの定量的要求、受動素子、センサー、アクチュエーター、バイオ機能などの機能的要求、さらには埋込みソフトウェアの機能などはムーアの法則の通りには微細化することはできない。このような場合には、非 CMOS 技術が適用されることが多い。将来、CMOS 技術と非 CMOS 技術を単一パッケージ内に集積化すること(すなわち SiP)がますます重要になってくるだろう。機能性の観点からは、SoC と SiP(Sytem in Package、複数のチップを単一パッケージ内に実装する技術)は相補的なものであり、必ずしも互いに競争する技術ではない。さらに、当初は専用の非 CMOS 技術によって満足させてきた機能も、その後の段階では、基本となる CMOS 技術から派生した混載技術をつかって、CMOS の SoC として集積化できるようになる。したがって、システムとしての機能を SoC と SiP に振り分ける方法は時とともに変化していくことになるだろう。これには、ナノエレクトロニクス(nano-electronics)、ナノ熱機械学(nano-thermomechanics)、ナノ生物学(nano-biology)、並列度が非常に高いソフトウェアなど、学際領域でのイノベーションが必要とである。SiPへの応用のためには、実装技術が機能要素であり、重要差な異化技術である。このようなトレンドを Fig.4 に図示したので、これを参照されたい。

“More than Moore”という概念は 2005 年版のロードマップで紹介され、2007 年版ではさらに議論され改善された。特に下記の定義についてのコンセンサスが得られた。(Fig.4 を参照)

1. 微細化("More Moore"、Fig.4 の縦軸)

1a. 幾何学的微細化(電界一定の微細化)は、チップ上のロジックとメモリの平面的(シリコン基板の表面方向)、垂直的(シリコン基板表面に垂直方向)物理的寸法を縮小し続けることにより、素子密度を向上させることで機能あたりのコストを削減し、性能(速度と消費電力)、信頼性を半導体応用機器や最終顧客にもたらすことを指す。

1b. 等価的微細化は、幾何学的微細化とともに使われ、幾何学的微細化を可能にする以下のような技術手段を指す:

(a) 3 次元的な素子構造により“Design Factor”【訳者注:メモリセルの面積をデザインルールの二乗で割ったもの】を改善すること。また、集積回路の性能を向上させるため他の幾何学的スケーリングによらないプロセス技術や新規材料を導入すること

(b) マルチコアの MPU の設計のような新規技術やテクノロジー
等価的微細化の目的は、ムーアの法則を継続させることである。

2. 機能的多様化("More than Moore"、Fig.4 の横軸)

機能的多様化は必ずしもムーアの法則による微細化に従うことなく、他の方法で顧客に付加価値を提供する機能をもつデバイスを組込むことを指す。機能的多様化(“More then Moore”)のアプローチによれば、非デジタル機能(たとえば、無線通信、電力制御、受動素子、センサ、アクチュエータなど)をシステム基板レベルから特定のパッケージレベル(SiP)やチップレベル(SoC)の実装方法に移行させることができる。さらに、複雑な組込みソフトウェアを SoC や SiP より緊密に集積化することは、ソフトウェア構造が性能向上に直接影響をあたえうるということでもある。機能的多様化(“More then Moore”)の目的はデジタルと非デジタルの機能をひとつのコンパクトなシステムに組み込むことにある。

産業界の発展における機能的多様化(“More then Moore”)の構成要素の相対的重要性は今後ますます増大する。この傾向は、イノベーションのペースを維持するための研究がカバーすべき科学的分野の多様性を高める一方で、財務的試薬はより厳しくなる。ITRS が重要な役割をはたしているこのような研究分野におけるガイドラインについての問題意識は重大なものである。このことを検討するため、ITRS 内のいくつかのワーキンググループが、それぞれの専門分野において、機能的多様化(“More then Moore”)のトレンドの帰結について調査してきた。この作業は今後さらに勢いをますますことなるだろう。調査結果については、ITRS のそれぞれの

章に記載されている。

ITRS 2007 年版の守備範囲には、すべての CMOS 集積回路に対する詳細は技術要求が含まれていて、無線通信とコンピューティング用の製品もこれに含まれる。この製品グループは世界の半導体消費の 75%以上を占めている。もちろん、CMOS 集積回路の設計、製造に使用される技術の多くは、化合物半導体、ディスクリート、光、マイクロエレクトロメカニカル・システム (Micro-Electromechanical Systems: MEMS) 等、他のデバイスにも使用されている。したがって、ITRS ロードマップの直接的目的として明示してはいなくとも、ITRS ロードマップは集積回路技術をベースとするほとんどのマイクロ、ナノ技術に関し共通する技術的要求をカバーしているのである。

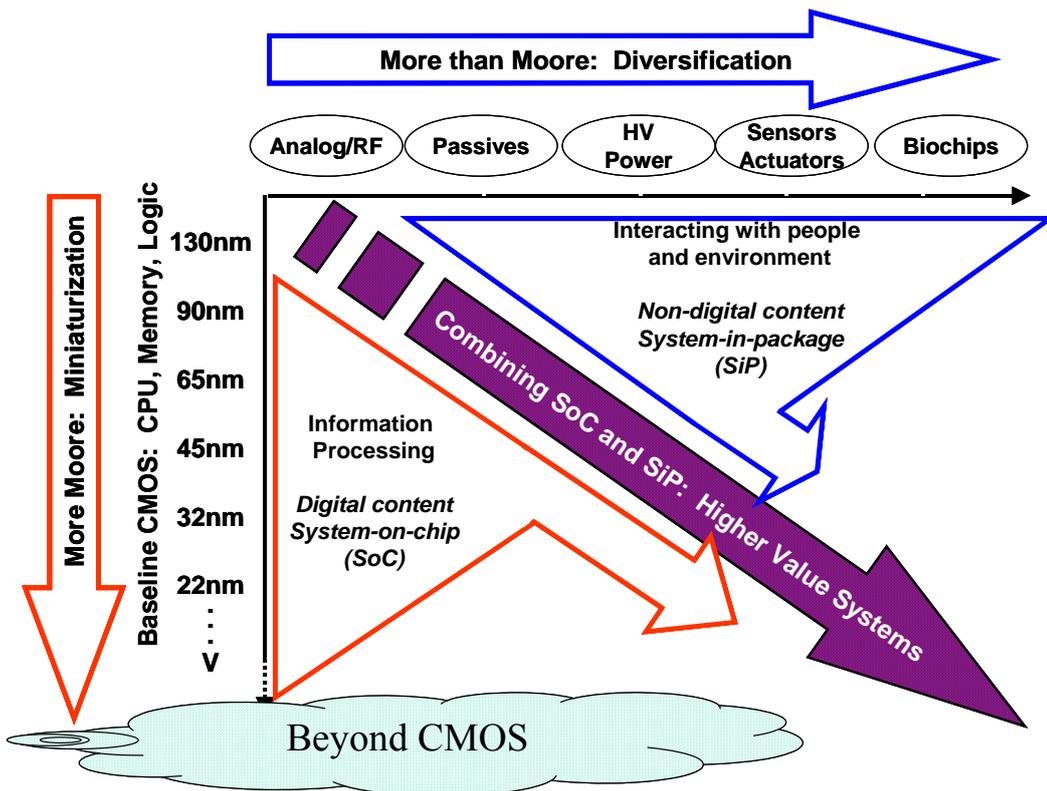


Figure 4 Moore's Law and More

ITRS 2007 年版のトピックス (2007 ITRS Special Topics)

新探究材料 (EMERGING RESEARCH MATERIALS, ERM)

新規デバイスや新規メモリの概念が ERD (Emerging Research Device) 章で議論されているが、その多くは新規材料を使うことになるだろう。たとえば、デバイス自体、デバイス間の相互配線、パッシベーション (passivation、デバイスを非活性化するため、薄膜を形成したり、特定の雰囲気化で熱処理したりする技術) などに新規材料が使われる。新規材料への要求は新規デバイスや新規メモリの性質や仕様に非常に強く依存している。このため、2005 年には、ERD 章編集のため、新探求材料 (Emerging Research Materials, ERM) のサブグループが組織された。ITRS 2007 年版では、ERM サブワーキンググループは ERM のワーキンググループに昇格し、活動成果は、独立した ERM (Emerging Research Materials) の章として公表された。

450MM直径のシリコンウェーハへの移行 (TRANSITION TO 450 MM)

2005 年版のロードマップマップでは、2012 年に 450mm 直径のシリコンウェーハを使った集積回路の大量生産が始まるとしていた。450mm ウェーハの導入時期は、450mm ウェーハへの移行にともなう技術的諸問題の

解決だけでなく、産業界の準備状況にも依存する。このため、過去 2 年間にわたり、ITRS のワーキンググループと IRC は、450mm ウェーハの導入時期を評価するため、さらなるデータ収集を行ってきた。

450mm 直径のウェーハへの移行の論理的根拠は生産性向上にあり、これは、ムーアの法則の実現手段のうちの一つである。他の技術に進展がないとしても、大口径ウェーハの導入によって、1平方mmあたりの製造コストを削減させることができる。経済学的考察に基づき、ISMI (International SEMATECH Manufacturing Initiative) は、生産性向上のトレンドカーブを維持するためには、半導体産業は 2012 年までに、30%のコスト削減と 50%の生産サイクルタイムの向上を達成する必要があると、ISMI の見解によれば、450mm ウェーハへの移行によってのみ、この達成が可能となる。ただし、コスト削減は過去のウェーハ世代交代においても達成されてきたが、サイクルタイムの改善は新たな目標である。この見解は、300mm ウェーハ世代の製造ラインでの潜在的な改善可能性についての結論からも補強された。いわゆる”300mm Prime”プログラム【訳者注：300mm ウェーハの製造ラインでの生産性向上を目指したプログラム】では、サイクルタイムを削減する可能性はあるが、ムーアの法則のトレンドに従ったコスト削減は達成できないという検討結果であった。この認識を受けて、ISMI は 2007 年 7 月に 450mm イニシアティブを開始した。

しかしながら、450mm ウェーハへ移行時期が 2012 年かどうかについて、いくつかの議論がある：

- 装置サプライヤの立場からすると、製造装置を 2012 年に使用可能にするためには、アルファ機は 2009 年に使用可能でなければならない。今のところ、2012 年までにプロトタイプ機の計画をアナウンスした装置サプライヤはない。
- チップメーカーの立場からすると、重要な問題は一時期にまとまった初期投資をする必要があることである。300mm 工場に生産性向上の見込みは実証されたが、それには、40 億ドル以上に巨額投資が必要であった。450mm 工場が経済的に成り立つための最小規模のために必要な投資は、更に大きく、多くの会社にとって手が届かない。さらに、産業界全体を考慮に入れた経済モデルは 2012 年が 450mm への移行の適切な時期と結論付けているものの、個別の会社の判断は異なるかもしれない。したがって、450mm の生産設備装置の市場の立ち上がりの速度と成熟期に市場規模は疑問の余地があり、このことが装置サプライヤの新世代の装置への開発投資時期を遅らせる可能性がある。
- 最後に、ウェーハ製造メーカーの準備状況もはっきりしない。フロントエンドプロセス (Front-End Process, FEP) ワーキンググループの現在の見積もりでは、ウェーハ供給メーカーは 2009 年に 450mm ウェーハが研究段階から開発段階に移行するとしている。300mm ウェーハの場合では、この移行の 7 年後に集積回路メーカーがチップの量産を開始した。したがって、300mm の例が 450mm に適用できるとすれば、集積回路メーカーによる 450mm での量産開始は 2016 年ということになる。

上記の議論をふまえ、ITRS では 450mm ウェーハによる量産開始の目標時期を 2012 年から 2016 年の間と提案している。

主要な技術課題

短期予測(2015年まで)と長期予測(2016年以降)

概要

半導体産業会の継続的な研究開発の成果により、微細化の再加速と多様化が進むと予想している。フラッシュメモリの微細化は 2006 年までは 2 年/サイクルで微細化が 2,008 年まで続き、MPU は 2010 年までは 2.5 年/サイクルで微細化が進む。DRAM の微細化ペースは 3 年/サイクルである。[微細化のペースがそれぞれに異なるため、]技術ノードという言葉では、もはや、技術を明確に定義することができない。PIDS (Process Integration, Devices, and Structures, プロセスインテグレーション、素子、構造)の章では、MOSFET(MOS 型電界効果トランジスタ)の性能を向上させるためには複数の選択肢があり、この状況をパラレルパス(Parallel Path)と呼んでいる。MOSFET の構造としては、平面型の従来の MOSFET (metal-oxide semiconductor field effect transistor, MOS 電界効果トランジスタ)、FD-SOI(Fully Depleted Silicon on Insulator, SOI 基板上の完全空乏型)の MOSFET、Fin-FET などのようにゲートを複数持つ MOSFET が候補となっている。ITRS も新時代に入りつつあり、産業界も CMOS 微細化の理論的限界に言及しはじめた。以下の技術領域には多くの技術課題が残っている: パターン形成、先端材料、特に非平面素子構造における歪エンジニアリング、接合リーク電流、製造プロセスの制御、製造可能性など。技術課題は CMOS に新規メモリ素子を統合する際の SoC 技術や SIP 技術を含む広い範囲の技術にも及んでいる。このような技術は半導体産業の持続的成長にとって不可欠である。

各 ITWG (International Technology Working Group) は「困難な技術課題」として表の形にまとめて、この概要 (Executive Summary) に含めた。本節(主要な技術課題 (Grand Challenges)の節)は、技術課題のうちの主要なものを選んで、それを記述したものである。本節は、読者が主要技術課題の全体像を把握する一助となることを意図している。

これらの主要な技術課題を、性能向上と低コスト生産という、二種類の観点から分類した。さらに、短期的(2007年から2015年)と長期的(2016年から2022年)という二つの期間に分けて述べる。

短期予測 (2015年まで)

性能向上

ロジックデバイススケールリング[PIDS, FEP, MODELING AND SIMULATION, METROLOGY]

プレーナーCMOSのスケールリングは、打破すべき重要な課題に直面するであろう。ゲート絶縁膜の薄膜化、ゲート長の縮小や基板濃度の高濃度化といった一般的なスケールリングは、もはや、性能や消費電力から、応用機器の要求値を満たさなくなっている。スケールリングの壁を打破するためには、プロセス制御性の改善を継続してゆくことに加え、新しいデバイスアーキテクチャーはもちろん、新しい材料を導入することが必要となる。

性能向上には、酸化膜換算膜厚(EOT)の薄膜化が必要であるが、EOTの薄膜化は、デバイスのスケールリングに於いて最も困難な課題として考えられるようになってきている。低電力(LP)の応用機器に於いては、もはや酸化膜では、リーク電流の要求値を満たさない。高性能(HP)の応用機器においては、十分な信頼性を備えた EOT1nm 以下の膜が必要である。そのため、駆動電流を犠牲にすることなくトンネル電流を抑制できる高誘電体膜(high-k)の導入が必要となろう。最良のデバイス特性となるようにまたコストに対しても最適化された完全なゲートスタック構造の材料が必要となる。シリコン絶縁膜/ポリシリコン構造が、長い間、最も信頼性の高いゲートスタック構造としての役割を果たしてきたため、これらゲートスタック材料の変更は MOSFET テクノロジーにおいて課題克服に向けての大きな挑戦となる。

プレーナーMOSFET では、ショートチャネル効果を抑えるために高いチャネル濃度が必要となる。この場合、移動度の劣化とリーク増加による待機電力の増加とのトレードオフとなる。微細デバイスのしきい値制御のため

にこのチャネルドーピングを用いるとしきい値ばらつきも増加し、電源電圧のスケーリングといった回路設計を難しくしている。解決策として、超薄膜ボディ SOI、FD-SOI、マルチゲート MOSFET (fin FET) などの新しいデバイス構造が期待されている。これらの新規デバイスの課題は、膜厚ばらつきを含む薄膜 MOSFET の膜厚の制御である。回路設計やシステムアーキテクチャーの改善と共に、これらの課題克服を進めてゆく必要がある。

メモリースケーリング [PIDS, ER D, FE P, MODELING AND SIMULATION, METROLOGY]

企業の継続した研究開発努力がデバイスの縮小加速およびその代替手段をもたらしており、現行メモリとしては単体および混載型の DRAM、SRAM、NAND-Flash、NOR-Flash。さらに新型のメモリとしてシリコン/酸化膜/窒化膜/酸化膜/シリコン (silicon/oxide/nitride/oxide/silicon (SONOS))、FeRAM (ferroelectric RAM)、MRAM (magnetic RAM) や相変化メモリ (PCRAM) をロードマップ table に掲載している。

DRAM の課題としては、記憶素子の適切な蓄積キャパシタ容量の確保であり、最小加工寸法の減少に対し、高誘電体膜の改善、セルトランジスタのリーク低減デザイン、低抵抗のワード線ビット線材料の導入があげられている。単体 DRAM について、高誘電体膜はトレンチキャパシタセルでも SIS (シリコン/高誘電体膜/シリコン) という形で導入されている。そして上部電極側のメタル化が 2007 年に、さらに 2009 年までの誘電率 60 以上が要求される 50nm 以下の世代において上下電極のメタル化 (金属/高誘電体膜/金属) が必要となる。SOC 混載型の DRAM に関しては (スケーリングに対し)、追加プロセスが必要となり、例としてスタックキャパシタの蓄積電極の深いコンタクトとロジックデバイスのコンタクトを共存するデザインルールやプロセスを確立する課題が挙げられる。

また、誘電率の高い高誘電体膜の導入の必要性はスタックキャパシタに対しトレンチキャパシタではセルの 6F2 化が進んでいないことも含めて、2-3 年遅れであるが、トレンチキャパシタセルでもセル縮小時の問題を回避するための 3 次元セルトランジスタの導入が 65nm 付近で予想されている。

フラッシュメモリは、市場の急速な拡大につれてフラッシュメモリの材料、プロセスに対する課題に重点が置かれるようになった。フラッシュメモリは加工寸法の縮小や材料技術において新しいテクノロジドライバになりつつあり、NAND FLASH の単位セルの最小加工寸法 F は DRAM の 1/2 ピッチを追い越している。

FLASH メモリの課題としては、スケーリング則に追従することができないトンネル酸化膜厚とインターポリ絶縁膜厚、絶縁膜の特性、およびセルの縦横方向の距離構造である。FLASH メモリデバイスではセル縮小を継続して続け、書き込み電圧の低減化のためには薄いインターポリ絶縁膜やトンネル酸化膜が必要である。しかしトンネル絶縁膜はデータ保持特性の為に十分厚い必要があるが、書き込み・消去の為に十分薄くする必要がある。またインターポリ絶縁膜についてもデータ保持特性の為に十分厚い必要があるが、カップリング比を確保するためには薄くする必要がある。さらにフローティングゲートの側面にコントロールゲートを埋め込みカップリング比を得る形の従来構造は、ゲート幅ピッチの縮小に伴って実現不可能となる。そのため、2010 年までに高誘電体膜のインターポリ絶縁膜がカップリング比確保の面から必要となる。これら FLASH メモリの課題に含まれる形で、新しいメモリ、MRAM や相変化メモリ、FeRAM の量産化と縮小化についてもまとめである。たとえば MRAM のセルサイズ縮小と書き込みエネルギー低減化の手法が 2008 年に必要になってくると、FeRAM は、セル耐久性、電力およびセルサイズの縮小化に関する問題についてなどである。

高性能、低コスト RF & アナログ / ミックスドシングナルの解決策 [RF]

性能の維持とパワーマネジメント及び集積性の向上のため、材料やデバイス構造の根本的な変化が求められるようになる。High-k ゲート絶縁膜や、チャネルに応力を加えるための埋め込み構造、メタルゲート電極などの新しい材料の導入すると、閾値や電流のミスマッチおよび 1/f ノイズに関して同じレベルを維持するためには、明らかに課題を生じることになる。ダブルゲートや完全空乏型 SOI デバイスといったノンクラシカル CMOS の電気特性は、従来の CMOS と基本的に違っているからである。そのため、従来の高精度アナログ / RF ドライバードバイスやレジスタやバラクタは、ダイコストがかなり上昇しても別のプロセス工程を必要とすることになる。その上、定常的なアナログ電源電圧の低下は、回路設計技術にとって重要な課題を招くことになる。

微細化が進み集積化の複雑性が増してくると、信号分離、特にチップのなかのアナログとデジタル領域の信号分離は、もう一つの課題となる。電源線やグランドや共用する基板を介してノイズカップリングが引き起こされる。アナログと高性能デジタル機能を一つのチップに集積することの困難さは、デバイス構造や電圧のスケールリングとともに増大する。高性能アナログ回路と高度に複雑化したデジタル信号処理機能を、同じダイや基板に同時に集積するためには、信号分離が必須条件となる。多くの最新の通信システムで、サイズやパワーやコストを低減するため、このような集積が求められている。

新しいゲートスタックプロセスおよび材料 [PIDS、FEP]

EOT (Equivalent Oxide Thickness: SiO₂ 換算膜厚) の薄膜化は、将来に亘るデバイスの微細化に対して最も困難な課題になってきた。高誘電率膜 (high-k) とメタルゲートは 2008 年には適用される必要がある。タイムリーな適用のためには多くの課題を克服する必要がある、その中にはメタルゲートの仕事関数制御、十分高いチャネル移動度、良質のゲートスタック構造などが含まれる。集積化デバイスにおいて 5Å 以下まで薄膜化しようとすると、界面層制御や high-k 材料の適合性に起因する重要な課題も立ちはだかっている。この超薄 EOT 領域では、移動度やリーク電流に対する影響が、解決の際にキーとなる課題である。加えて、絶縁破壊 (ハード絶縁破壊、ソフト絶縁破壊とも)、トランジスタの不安定性 (チャージ捕獲、仕事関数の安定性、金属イオンのドリフト、あるいは拡散) などの信頼性要求も解決しなければならない。

継続的に DRAM を微細化するには、減少し続けるセル領域にメモリ容量を作る必要があり、そのことは記憶データの信頼性を保証するために記憶容量を 25-35fF に保ちつつ行われる必要がある。この要求を満たすため、3D メモリ構造を前提にして、アルミナやアルミネート (HfAlO_x など)、酸化タンタルなどの高誘電率膜 (high-k) が導入されてきた。容量誘電率膜の薄膜化が障壁となりつつあり、スタック DRAM では 2010 年、トレンチ DRAM では 2014 年には限界 (解決すべき時期) が来る。スタック DRAM 容量構造のアスペクト比も 2010 年には限界 (解決すべき時期) が来る。

一方、フラッシュメモリでは、継続的の微細化と書込電圧の低電圧化のために、インターポリ酸化膜とトンネル酸化膜の薄膜化が必要である。トンネル酸化膜は、保持性能を満たす程度に厚くしなければならず、消去/書込が容易である程度に薄くしなければならない。インターポリ酸化膜は、保持性能を満たす程度に厚くしなければならず、一定のカップリング比を維持できる程度に薄くしなければならない。この両立困難なトレードオフは微細化を妨げるので、フラッシュメモリプロセスに高誘電率膜と 3D 構造の導入が促されることになる。FeRAM の強誘電体材料のスケールアップ課題に従って、メモリ応用の開発においては、新プロセス構築と 3D 容量構造によって主要な課題が提起され続けるだろう。

32 と 22 nm ハーフピッチ [LITHOGRAPHY]

32 nm hp は、リソグラフィ方式の変換点である。水を用いる 193nm 液浸プロセスは、NA の限界で 32 nm hp を解像できない。しかし、微細なピッチは、ダブルパターニングあるいは二重露光によって、より大きなピッチに分割できるが、リソグラフィのコストはほぼ二倍になる。単一露光は、大きな屈折率の液浸液とレンズ材料を必要とする。これらの技術は、依然、開発途上である。同様に、単一露光技術が使える EUV リソグラフィで必要とする、高出力光源、高感度レジスト、マスク、関係する基盤技術は、同じく開発段階にある。マスクの困難さを回避し、生産の自由度を生む可能性を秘めている多重電子線マスクレスリソグラフィは、開発の初期段階にいる。時期、コスト、欠陥、CDU、重ねあわせ精度、そして、レジストはより一層困難さを増している。

22 nm hp のリソグラフィに対して、193 nm 水液浸スキャン露光装置とダブルパターニングでは、非常に大きな MEF (Mask Error Factor)、ウェハーLER (Line Edge Roughness)、そして設計ルール制約にともない、延命はし難い。高屈折率液とレンズ材料が期待される時期に登場すれば、これらの問題をほんの少し解消する。EUV 露光装置においては、NA 0.25 で、32 nm hp を満足する k1 ファクターと同等の k1 値を得るためには、NA は 0.35 より大きくなければならない。それは、投影光学系ミラー枚数の増加の可能性を意味し、その影響は、スループットの低下を抑えるために、光源の出力増大が求められ、経済性の点で好ましくない。多重電子線マスクレスリソグラフィは、その時点では、よりよく開発されているが、同一のフィールドサイズで、増大したピクセル数

を維持する為に、描画の高速性、あるいは、大きな並列性を持たなければならない。もし、一回あたりの露光とプロセスのコストの維持が、マスクを用いる露光装置のそれと同等のフットプリントで実現できれば、これは、ロジックとメモリーのアプリケーションに対して、最も経済的で、展望の開ける解となる。

マスク [LITHOGRAPHY]

マスク技術は、非常に高価で挑戦に満ちたものとなってきた。マスクコストは、世代毎に高騰してきている。より高度な RET(Resolution Enhancement Technology)に伴い、微細化に加えて、MEEF の増大が、マスクの CDU、位置精度の達成を困難としている。マスクのパターンサイズが縮小され、吸収体膜厚及び偏光照明の影響を受けて、問題をさらに悪化させている。EUV マスクは、無欠陥超平坦基板、ペリクル無しで露光するといった、さらに厳しい要求を抱えている。先端マスクの欠陥検査は、高価で、時間を費やす。欠陥検査の分解能は、実用可能な検査波長での限界に達している。

レジスト[LITHOGRAPHY]

フォトレジストの LER(Line Edge Roughness)は、実質上、その絶対値をそのまま維持し、CD のよりいっそう大きなパーセントに達する。パターン形状のシュリンクに伴って、ショットノイズが問題となってくる。現像後に見られるレジストの倒壊は、そのアスペクトレシオを 2.5 から 3 に制限するため、世代が進む都度、レジスト膜厚の絶対値は低減していく。液浸リソグラフィでは、レジスト材料の開発は、レジスト起因の低欠陥を保証しなければならないというに、材料選択のさらなる制限を伴う。

CD および LEFF の制御 [FEP, LITHOGRAPHY, PIDS]

ゲート長の急激な微細化に伴い、CD(Critical Dimension)制御はリソグラフィーおよびドライエッチングプロセスにおける最も困難な課題の一つになっている。とりわけ、実効チャンネル長を制御するためにレジストスリミングとサイドウォール形状(Profile)制御が用いられているが、そのためにCD制御は更に難しくなっている。¹ゲート長に対して許容される 3σ ばらつきは、リソグラフィプロセスとエッチングプロセス間で最適比に分配されるが、プロセス許容値はどちらのプロセスでも限界に近づいている。更には、露光とエッチングを最適に制御した場合であっても、ゲート材料/レジストタイプ/エッチングガス系に依存する LER(Line Edge Roughness)を低減することが非常に難しくなっている。CD制御とLER測定は、精度と効率という観点から、計測技術に対しても挑戦課題である。SD間を流れるリーク電流はLERの影響を受けるので、デバイス性能に対するLERの影響を理解した上でLERの制御目標値を設定すべきである。更に、新しいゲート材料や 3Dトランジスタ構造を導入することになると、選択的エッチングプロセスやサイドウォール形状制御における異方性改善に関して、より多くの課題を解決する必要が生じることになる。

ゲート長の急激な微細化に伴って、リソグラフィーとエッチングにおける CD 制御は重要なボトルネックであり続ける。特に、1)レジストスリミング、2)ゲートピッチの縮小、3)熱処理プロセスの均一性、4)オフセットスペーサ、5)新しいゲートスタック材料(メタル/high-k)は CD 制御および実効チャンネル長の制御を更に難しくする。狭いポリピッチでの自己整合的ドーピングのプロファイル制御とドーパント活性化の均一性制御(パターン/レイアウト依存性)は、実効チャンネル長を十分制御するために重要である。物理ゲート長の 3σ バラツキを 12%未満に抑えるためのゲートパターン形成プロセス(リソグラフィーおよびエッチング)によって、対象になる設計ルールは限定されることになるが、そのことは対応する制約と課題を歪技術とその設計に対して課すことになる。更に、デバイスばらつき最小化にとって重要な LER の抑制を行うためには、エッチングガス系に対すると同様、ゲート材料とインテグレーションに対しても要求が生じることになる。更に、マルチゲート構造や 3D デバイス構造を導入しようとする、選択的エッチングプロセスやサイドウォール形状制御における異方性改善に関して、より多くの課題を解決する必要が生じることになる。

¹ ここでは *resist slimming* が用いられているが、US では通常 *triming* という用語が用いられる。Leff に対して *effective gate length* という用語が割当てられていたが、*effective channel length* が正しいのでそのように翻訳した。

高い導電性と低い誘電率の要求を満たすための新材料の導入[INTERCONNECT]

信号伝搬の遅延を最小化するために、130nm ダマシンプロセスの時から、半導体産業は高い導電性金属と低い誘電率絶縁体を導入してきた。引き続き配線をスケールダウンすることは、技術開発と製造に大きな挑戦課題を突き付けている。MPU 製品を次の2世代を2年半サイクルで導入を加速する(2007年と2009年で2009年以降3年サイクルに移行する)ためには、新金属と絶縁膜を導入することが、決定的要因になっている。今日、金属は銅配線が狭いため、銅配線バリエーションや、絶縁膜境界、グレイン境界で電子が散乱されるため、抵抗が急速に増大する課題にも直面している。加えて、非常に薄く、一体となった低抵抗なバリエーション金属を銅配線と集積することが、低抵抗や良い信頼性を達成するためには要求されている。low- κ 絶縁膜には、ダメージを与える恐れのある、特にドライ・ウェットエッチ、アッシング、スパッター、ポリッシングなどの他のプロセスと両立した製造が可能のように、機械的、化学的、熱的、物理的に良い特性が必要とされている。更に、low- κ 材料はダイシング、実装に耐える十分な機械的強度をもたなければならない。

製造可能な配線を作ること[INTERCONNECT]

導電材と low- κ 材を集積するにあたっては、材料的、幾何学的、平坦性と電氣的要求を満たさなくてはならない。また、欠陥、ばらつき、費用は製造可能なプロセスを確実なものにするために、勘案されなければならない。配線の進歩は、従来のスケールリングであれ、機能の多様化を含む等価的スケールリングであれ、性能、電力、信頼性の課題を言及すべきである。従来スケールリングの材料解決策では、性能を達成できないので、3次元(シリコン貫通ビア(TSV)を用いた狭ピッチを含む)または、エアギャップ構造、異なった信号方法、新奇な設計や実装の選択、異なった物理と革新的解決策を用いた新しい配線などの新技術が近年提案されている。これらの革新的技術の実現には、新しい材料、インテグ、CMOS 互換性、計測、予想モデル、配線・パッケージアーキテクチャ設計を最適化する道具が必要である。

消費電力の管理[設計]

コスト効率の良いチップパッケージからの放熱は、近い将来に改善が止まって横ばいになる。加えて、世代毎にトランジスタ数が2倍になるため、消費電力の管理は、すべての応用分野にわたって主要な問題である。消費電力の管理の課題は複数のレベル、特にシステム、設計、プロセス技術にまたがって取り組まれる必要がある。システムの動的な電力とリーク電力を含んだ回路技術としては、複数 Vdd、クロック分配の最適化、周波数のステップング、配線のアーキテクチャ、複数 Vt、ウェルのバイアス、ブロックのシャットダウンなどがある。これらの手法の実現にあたっての諸課題は、システム設計への要求として、消費電力最適化(プロセスばらつきに対応できる設計を含む)のための CAD ツールの継続的な改良に連なり、また、同時に新しいデバイスのアーキテクチャへのリークや性能要求に展開される。

160GHz までの高周波に対応する回路とシステムのモデリング

非準静的(non-quasi-static)効果、基板ノイズ、高周波ノイズ、1/f ノイズ、温度、応力レイアウト依存、そして、パラシティック・カップリングなどの十分正確なコンパクトモデリングは、とりわけ重要である。すなわち、プロセスが回路モデルでフィックスされる前に、ローカルばらつきとグローバルばらつきとを辻褃の合うように扱って、相関のある統計性を計算機で効率的に考慮することが必要である。デバイスと回路のコンカレントな最適化、プロセス/デバイス/回路シミュレーションを用いて、効率的に最適ブロック/回路レベル構築をサポートすることが必要である。III/V 素子、CMOS、高耐圧(HV)素子に関するコンパクトモデルが必要とされている。パッシブ素子(たとえばバラクタ、インダクター、高密度インターコネクト容量、変圧素子、電送線)のコンパクトモデルが必要とされている。こうした RF 回路用コンパクトモデルのパラメータ抽出は、RF 測定を最小限にするものである事が望ましい。77GHz の車載レーダのような典型的な RF 応用は、100GHz 領域に近付いている。40GHz 応用でも、3次の高調波歪の場合、120GHz までの高調波モデリングが必要であることを意味している。グローバルな影響のモデリングも重要である。例えば、クロストーク、基板帰還パス、基板カップリング、エレクトロマイグレーション(EM)、熱的効果などがそうした例である。こうした回路ブロックや、配線、ダイ、パッケージ間の相互作用を、異なったモデリングとシミュレーションレベルで相補い、おそらく、異なった技術を組み合わせることによって、SoC と SiP との異質なツールの統合化(heterogeneous integration)を支援するように、CAD ツールを、さら

に進展させなければならない。

ナノ構造のためのフロントエンド・プロセスのモデリング【MODELING AND SIMULATION】

デバイス製造に起因するデバイス性能予測のモデリングは鍵となる技術課題ある。その課題は、材料やデバイスシミュレーションを含んだ「究極のナノスケール CMOS シミュレーション能力」という大きな課題と重なるものである。フロントエンド・プロセスモデリング分野の最も重要な技術課題は、極浅接合形成のモデリングであり、これは非常に低いエネルギーのイオン注入から始まって、特に、ドーパントのアニールや熱拡散に絞り込まれるものである。その一方で、エピタキシャルドープ層の形成は、その形状、結晶性、欠陥やストレス残存状態を含めてシミュレーションすることが必要である。浅接合形成用にサーマルバジェットを極力、減少させるため、そのプロセスは、高度に過渡的であり、ドーパント原子と欠陥、特に、これらの注入欠陥のクラスターのダイナミクスによる拡散と反応に支配されており、アモルファス化、再結晶、そして、シリサイド化が正確にシミュレートされなければならない。薄膜により潜在的に導入されるモデルやパラメータに生じる異方性についても調べなければならない。チャンネル中のキャリア移動度の増加の観点から、応力、歪、そして、その拡散や活性化への影響は、特に、歪シリコン、SiGe や SOI 構造において、極めて重要になってきた。更に、応力の履歴、連続プロセス工程におけるメモリー効果が重要で、シミュレーションが必要である。プロセス評価とともに、モデルの開発、キャリアレーション、評価には、ドーパント、欠陥、応力の測定、特に 2 次元、3 次元での、多数の測定実験と測定技術の大きな進展は欠くことができないものである。効率的で正確な 3 次元シミュレーションを可能にするには、移動境界に適したメッシュ技術の進展が必要である。

低コスト生産

設計生産性と製造容易性【設計】

技術サイクルが進む毎に使えるトランジスタの数は倍になり、設計複雑度も同様に倍増する。プロセスの技術進化を追いかけつつ設計品質を保持するためには、設計インプリメンテーションの生産性を設計複雑度と同等のレベルまで改善しなければならない。設計生産性を向上し、設計の再利用を行うことはこれらの問題に対してキーとして考慮すべきことである。高位レベルのアブストラクション、プラットフォームベースの設計、マルチプロセッサのプログラマビリティ、設計検証、アナログとミックスシグナル回路の合成などが、プロセス技術サイクルの進展のペースに合わせて、設計生産性を進展させて行くための重要課題である。低コスト生産のためには製造容易化設計の分野の継続的な改良が要求される。特に、デバイスばらつきの性能と消費電力への感度を最小化する設計、リソグラフィにフレンドリな設計、テスト容易化設計、信頼性保証設計などの要求度が高い。

テストの複雑さ【テストとテスト装置】

いくつかのデバイス動向はテストに対して大きな困難さを現わす。デバイス I/O バンド幅要求の増大により、直ちにより速く幅の広い高速インターフェースの急増が駆り立てられ、接触制限を制御するテストソケットが挑戦課題となっている。SoCあるいはSiPにおいて既存の共通点のない半導体技術の統合が増加することによって、コアのテスト設計(DFT)当りの管理、例えば SoC コアを包んだもの(“wrappers”)と SiP のテスト標準化、のテスト課題が現われる。RF、アナログ、光学、そして、MEMs のような新探求技術は、いくつかのユニークなテスト課題を現出させるが、それらはデジタル CMOS 技術が普及あるいは統合した時と同じ様に、そのテスト方法の改善はかなり必要になるだろう。より巧妙なパワーマネジメントや自己修理メカニズムなどのいくつかのデバイス方式の動向によって、長年続いた確定的に格納した刺激と応答と云うテストのモデルは逸脱して行き、より高い次元でのテスト条件(例えば、単一の温度、電圧、周波数に対する複数の電源、電圧、周波数位相)の追加につながる可能性があるだろう。歩留り習熟のためのテストは、既に極めて重要であるが、新しい半導体プロセス、デバイス構造とアーキテクチャの導入時に、一緒にその習熟テストが導入されることが期待されている。局所の非線形をテストすること、及び、実効線幅変動の兆候と最終的な注入プロファイルの分布と装置性能限界による製造欠陥を検出することは、また、テストの複雑さへの主要な挑戦でもある。

持続するテストの経済的スケールリング【テストとテスト装置】

ムーアの法則によって予測された経済性スケールの例の改良はテストについて焼き直すことはしない。テスト容易化設計(DFT)の革新、スキャンテストのような構造化テスト技術の普及、及びテスト並列性のより高い段階での可能性は、今日までテストコストを維持するのに多いに成功してきた。しかしながら、複雑なデバイスが増加することによる新しいテスト要求、歩留り習熟のためのテスト、信頼性要求の増大、及び並列テストの現実的な制限は、テストコストに対し引き続き大きな課題である。特に、テストツール(例、プローブカード)のようなテストの総コストに関するものが、それはスケールリングしないのでその動向が現在のまま続くなら、それがやがて総テストコストの主要なものになり、コストを脅かすものになる。新しいデバイスアーキテクチャあるいは統合スキームに対するテスト習熟曲線を加速することは、半導体全ての技術コストのスケールリングの目標と同期してテストのコストスケールリングを維持するために極めて重要なことである。自動テスト装置(ATE)のための完全なテストプログラムの自動生成、テストのカバレッジとシステム信頼性ソリューション、デバイス設計工程でのテストのインターフェースのハードウェアと測定具のシミュレーションとモデリングの統合、これらの技術課題がテストのコストスケールリング縮退に対する挑戦的な可能性である。

変化の早い複雑な顧客要求への迅速な対応【FI】

従来からの統合的なデバイス製造を行うビジネスモデル(IDM: Integrated Device Manufacturer)に加えて、ファブレス、ファンダリ、共同製造、その他の様々な業務提携等のビジネスモデルが、顧客の変化が激しく、また複雑な要求へ対応するために重要なものとなってきた。更に SoC への顧客要求の多様性が、製造現場には多品種少量生産へ対応した工場操業へ適用することが重要な課題となっている。このような要求は、製品の量産立ち上げ期間を短縮する努力をする一方で、多くの種類の製造装置、多様なソフトウェア機能の適用、複雑な工場制御を行うシステム化されたソフトウェアの適用という即刻の困難な挑戦課題を提示している。デバイスの設計、マスク製作、FEOL 工程、BEOL 工程、そしてテストとパッケージングに至る工場操業に関わる全ての業務に資する情報の交換と判断と制御を行うための情報プラットフォームの開発は、デバイスメーカーにとって極めて重要な挑戦課題である。多品種製造では、不断なラインスループットとラインの質の向上努力とサイクルタイム短縮努力が必須の条件である。

製造コストとサイクルタイム間のトレードオフにおける改善【FI】

装置有用性の向上、運用の汎用性と制御のための自動搬送とシステムの改善、枚葉製造、そして非製品ウェーハ(NPW: Non Product Wafers)の削減などが、サイクルタイム短縮とコスト削減の挑戦課題に適用するための継続的な 300mm ラインの改善の典型的な分野である。300mm から次期ウェーハサイズ(例えば、450mm)の移行は、2012~2016 の時期の半導体産業におけるもう一つの重要な挑戦課題である。この移行は、同時に、ダイコストの 30%削減とサイクルタイムの 50%の改善に適用するのに重要である。

変化する市場のコスト要求や性能要求を満たす【ASSEMBLY AND PACKAGING】

環境規制の要求を満足し、パッケージ性能を向上させ、45nm ハーフピッチプロセス以降の Cu 配線で採用される low-k 材と互換性を持たせるために、ここ数年以内に多くの新材料が IC パッケージに導入されるだろう。ナノ材料は、パッケージングの領域でも重要な好機を提供する。IC 前工程(ウェーハプロセス)の進歩は、材料技術とプロセス技術とプロセス装置への大規模な投資に基づいている。しかしながら、後工程(パッケージング)においては、前工程に相当するような、材料、プロセス、装置への大型の投資は無い。フリップチップの携帯機器応用の要求を満足するために、低コスト化は挑戦的かつ重要であり、プロセスと材料の新しい組み合わせを必要とするだろう。(低密度 TSV やビア埋め込みプロセス TSV を含む)3次元集積化やウェーハ・レベル・パッケージングは、劇的なコスト改善と小型化の見込みがある。産業界は、これらの技術の量産化を実現するために、基盤技術の投資と知識が必要になる。電子製品の消費化による市場の変化は、ムーアのスケールリングの物理的な限界によって形成されるギャップを埋めるため、3次元集積化技術の実現化を推進するパッケージング産業にとって大きな好機となる。(環境問題と同様に)放熱設計、薄チップ・ハンドリング、シグナル・インテグリティ、テストは、SiP にとって短期の重大な課題である。

オフ・チップ部品の集積化ソリューション [RF, ASSEMBLY AND PACKAGING]

急激に変化し、増加している、携帯ワイヤレス通信デバイス市場において、異なるアプリケーションとシステム要求を満足させるために、SiP は開発された。共通の設計プラットフォームを構築するため、SiP ソリューションの統合は益々重要となる。MEMS や他のプロセスを用いた高 Q 値の RF デバイスは通常、オフ・チップであり、IPD(Integrated passive device)として製造される必要がある。3 次元積層技術や部品内蔵技術は、オフ・チップ部品を提供するための主要な方法である。(別々の部品を挿入することとは対照的に)受動部品をサブストレート基板内に形成することには、キャパシタ用 high-k 材や抵抗用高抵抗フィルム/ペーストやインダクタ用高透磁率(μ)材のような付加的な材料が含まれる。色々な内蔵受動部品のプロセス簡略化を考案することは、費用効果の良い選択肢を可能にする重要な課題である。特にパッケージングやアセンブリプロセスの後には、テストやチューニングは重要な課題を提供する。設計者が製造プロセスの前に、部品内蔵した回路特性をシミュレーションするためには、回路やテストの寄生成分と同様に、プロセス許容値を含む精確なモデルが必要である。また、部品内蔵のための CAD ツールの不足も解決する必要がある。

化学薬品と材料に関する評価 [ESH]

新規の化学物質、材料、およびプロセスの急速な導入する際、人間の健康、安全、および環境へ新たな有害な影響を引き起こすことなく、製造過程で新規化学物質と材料を利用できるのを保証するために新しく迅速に評価できる方法を必要とする。ESH の面における影響を評価し、定量化するための手法が要求されているにもかかわらず、現在は工程での実施をすみやかに行うことの方に焦点が合わされている。そうではあるが、短期的課題として、大きな地球温暖化係数(GWP)を有する化学物質の製造工程での使用から排出削減を行うことを含むべきである。

資源の節約 [ESH]

半導体産業が成長し、その技術が微細化や大口径化に向かって前進して行くにつれて、自然の成り行きとして水、エネルギー、化学薬品、そして材料の使用量が増加していくことになる。資源の節約は、主に使用効率、コスト削減、製造場所、維持可能性、そして廃棄物処理に関わってくる。したがって、効率的に資源を活用できるさまざまなプロセス装置を開発することが必要である。ファシリティーとプロセス装置の化学物質、材料利用有効利用、およびエネルギー消費削減に対する継続した改善はクリーンルームの熱管理と同じように必要とされている。

複数のキラー欠陥の検出と SN 比 [YIELD ENHANCEMENT]

近年、技術サイクルの要求する特徴的なサイズの微細化と同じ、もしくはそれを超えるような速さで、検査装置で検出できる欠陥サイズの微細化が期待されている。これに伴い、膨大な数の問題の無い欠陥もしくは擬似欠陥の中から興味のある欠陥(DOI)を効率よく経済的に識別しなければならないという課題が持ち上がっている。欠陥の識別における SN 比の向上にとって検出ユニットと試料のバックグラウンドノイズの低減は、重要な課題である。

レイアウト様式とシステムチック歩留まり低下:高スループット論理診断能力 [YIELD ENHANCEMENT]

リソプロセスウィンドウを横切るようなパターンの余裕のなさといった変則的特徴は、ロジック部分のシステムチックな歩留まり低下に非常に効いてくる。ランダム欠陥が歩留まりを規定するようになるまでは、製品に組み入れられた、そしてテストフローにシステムチックに組み入れられた論理診断能力によってシステムチック歩留まり低下は効率的に検出、対策すべきである。異なる自動テストパターン生成(ATPG)の適応、論理診断に変換するのに必要な多量のテストベクトル記録がテスト時間の増加をもたらす自動テスト装置(ATE)、ダイ毎の論理診断時間、レイアウトに対応するシステムチック歩留まりモデルを構築するための診断結果の統計的収集といった潜在的な問題点もある。

ウェーハエッジ、ベベル管理と欠陥検出 [YIELD ENHANCEMENT]

ウェーハエッジ、ベベル周りの欠陥、プロセス不具合が歩留まりに問題を引き起こすことが知られている。ウェーハエッジ、ベベル欠陥検査装置の検出感度、スループット、経済性(CoO)の開発と弛まぬ改善が先端デ

バイスの歩留まり向上において重要性を増している。

工場および会社規模での計測統合 [METROLOGY]

CoO を基本においたプロセス制御を行うためには、計測方法あるいは、相補的な計測方法の組み合わせを注意深く選択する必要があると同時に、計測のサンプリングに関しても統計的に最適化をしなければならない。一方、その場のインライン計測は、プロセス制御を厳密に行うことや、スループット面でも必須になりつつある。APC や FDC、あるいは、他のシステムと連携して、全ての計測(すなわち、オンライン計測やオフライン計測)からの情報は、データベースに統合され、プロセス制御パラメータを決定したり、計測情報と歩留まりの相関取りを行い、歩留まりを改善するために活用される。このような効率的でシームレスな情報統合を実現するには、プロセスコントローラー、インターフェース、データ管理、そしてデータベース構造に関する標準規格が必要である。センサーに関しては、校正、検出方法、データ処理を含め継続的に改善することが強い要望として上がっている。今後必要とされる新たなセンサーの開発においては、先進のプロセスモジュール開発と同時に行わなければならない。

複雑な積層材料の計測 [METROLOGY]

メタルゲート、high-k ゲートの積層構造、高度な歪技術によって移動度を高める技術は、先進的な配線技術、low-k 誘電体構造同様に、最小寸法や界面の物性を含む物理的、電気的特性の観点から、新規あるいは、継続的な計測手法の改善や標準試料を必要とする。FEP と BEP の積層膜構造の計測においては、通常大きな領域のテスト構造を用いて計測するために、その領域の物理的、電気特性の平均的な挙動を与えることになる。それゆえに、所望の寸法近傍の積層構造を特長づける新しい計測技術が近い将来必要となる。これらの技術は、バルク、あるいは SOI 基盤にも対応できなければならない。ラインエッジラフネス(LER)を含む最小寸法計測は、プロセス制御や変動を抑制する活動にますます重要な役割を果たすことになる。

FEP の計測 [METROLOGY]

デバイス・コミュニティは、CMOS と似た構造を持つトランジスタ(非古典的 CMOS と呼ばれる)が、今後 15 年間に渡り製造されるスイッチングデバイスであることを示した。どの様なプロセスと設計を選択するかによって計測に対する要求が左右される。新世代技術の導入時期が早まり、“導入課題を克服するために必要とされる計測技術”を開発することが強く求められている。例えば、新たなトランジスタの開発や製造のために対応する計測技術の進展を加速する必要がある。リーク電流の制御、しきい値の低電圧化とゲート遅延の短縮、それらの許容度といった多変数を扱うプロセスインテグレーションの課題が、ゲート絶縁膜の厚さ、ドーパントの分布、接合深さ、ドーズ量といったプロセスパラメータの許容範囲と密接に関連している。製造の許容度をモデル化する研究は、トランジスタの計測を考える上で依然として重要な案件である。CD 制御や LER の計測は、“正確さ”(accuracy)と効率の観点から計測の課題として提起されている。ソースとドレイン間のオフ電流は LER の影響を受ける可能性があるため、LER がデバイス特性に及ぼす影響を理解した上で、抑制すべき LER の目標値を設定する必要がある。

クリティカル計測における考慮 – “精密さ”と“不確かさ” [METROLOGY]

ロードマップ中の計測の値を比較する際に留意しなければならないことが幾つかある。比較することの有効性は、比較を如何に正確に行うかに強く依存している。従来 ITRS における“精密さ”(precision)は、単一計測装置の“経時変動を含んだ計測再現精度”(reproducibility)として解釈されていた。“精密さ”(precision)という言葉は“不確かさ”(uncertainty)という広義の言葉で最もよく理解される。計測誤差は時間変動(reproducibility)、計測装置間マッチング(tool-to-tool matching)、サンプリングによるバイアスの変動(sample to sample bias variation)の影響が複雑に反映されている。計測の“不確かさ”(uncertainty)は、このように、計測間、計測装置間、サンプル間の要因によって発生するバイアスの変動の総和(分散としての総和)として定義される。

リソグラフィの計測 [METROLOGY]

リソグラフィの計測はパターン形成技術の急速な進歩に絶えず対応しなければならないという課題を抱えている。トランジスタのゲート長のバラツキを適切に制御するために、まず、マスクの品質を計測することから始

まった。大きな値のマスクエラーファクター (MEF) をリソグラフィーで使用する場合は、マスクの製造段階で厳しいプロセス制御が必要である。したがって、より正確で精密な計測の開発が必要である。マスクの計測は、光の位相が正確に投影されることを計測することも含んでいる。ウェーハ上における最小線幅と重ね合わせの計測も次第に困難になってきている。プロセス制御と製品の特性に対する計測の必要性は“精密さ”、相対的な“正確さ”、そして計測機マッチングの進歩を加速し続ける原動力になっている。将来の技術世代に対応した計測を具現化するためには、CD や重ね合わせに対する研究開発の加速は必要不可欠である。これらすべての課題にあたっては、もう一つの重要な計測の課題である計測能力の評価方法についても改善させなければならない。

長期予測 (2016 年から 2022 年)

性能向上

リーク電力の管理[設計]

消費電力は緊急の課題である一方、長期的にはリーク電流や待機時電流の要素が業界の主要な難題となっている。かつてバイポーラ技術がこのリーク電流ゆえに数十年前に整理されたように、CMOS 技術の生き残りが脅かされている。リーク電力は、ゲート長、酸化膜厚、しきい値電圧など、キーとなるプロセスパラメータにより指数関数的に変化し、スケージングとばらつきの両方の観点から厳しい課題を提示している。低電力デバイスでのオフ電流はテクノロジーサイクル毎に 10% の割合で増加している。それゆえ、設計技術は待機時電流を一定に保つような貢献をしなくてはならない。

電流駆動能力が大きく、かつ短チャネル効果が抑制されたノンクラシカル CMOS の実用化[PIDS]

将来においてトランジスタのゲート長が 10nm 以下となる時、低濃度チャネルの FD-SOI MOSFET やマルチゲート MOSFET は効率的に微細化でき、短チャネル効果抑制にも期待されている。他の材料的あるいはプロセスの解決策は、High-k ゲート絶縁膜、メタルゲート電極、歪シリコンチャネル、エレベータードソース/ドレインなどで、ノンクラシカル CMOS に導入されることが期待されている。ゲート長 10nm 以下では、FD-SOI のボディ膜厚は 10nm 以下が必要である。この時の量子効果と表面散乱効果の影響は十分解明されていない。これらの非常に微細な MOSFET は、ソース端での注入速度の増大と短チャネル化で、準バリスティック輸送が起こっている。このため、例えばゲルマニウムや III-V 族のチャネルをシリコン上に作ったり、カーボンナノチューブやナノワイヤなどの輸送効率の高いチャネル材料が使われるかもしれない。

MOSFET の微細化 [FEP]

継続する CMOS 微細化トレンドを見ていると、歪技術やハイブリッド面方位技術²といったブースター技術に加えて新しい材料や新しいデバイス構造の導入が予想される。ノンクラシカル CMOS 構造 (Multi-gate) は、ゲートスタック・接合・シリサイドなどに関する最新の FEP プロセスと整合させて用意する必要がある。high-k ゲート絶縁膜の EOT はメタルゲートに対して 1.0nm 未満に薄膜化する必要がある³、その際には高い信頼性と許容可能な低いリーク電流も維持した上で達成される必要がある。接合深さを果敢に浅くしてゆく際には、低いシート抵抗とプロセス生産性は維持される必要がある。新しいシリサイド材料やショットキー接合のような新構造を導入することによって、トランジスタの寄生抵抗は低く抑える必要がある。ゲート CD のばらつきはリソグラフィー技術、レジストスリミング技術、およびゲートエッチング技術の最適化を行うことで抑制してゆかなくてはならない。

² 訳注: (100) 方位表面と (110) 方位表面を混在させ、nFET と pFET に対して使い分ける技術。

³ 訳注: LSTP も考慮して EOT < 1.0nm と記載したが、技術的に難しい HP に限れば、EOT < 0.5nm にブレークスルーが必要。

従来のスケーリングから等価的スケーリングと機能多様化へ新たな取り組みで移行すること

[INTERCONNECT]

材料とプロセスの改善だけでは、従来のスケーリングで、長期にわたる配線性能の要求に答えることはできない。従来の方法ではなく、新しい設計とアーキテクチャを採用して、等価的スケーリングを達成することが挑戦となるであろう。技術が生産を迎えるに伴い、シリコン貫通ビア (TSV) を用いて 3 次元集積化を行うことで、不要に長いグローバル配線を引き回さずに、高度に複雑なシステムを作ることが出来るであろう。受動素子を用いた無線信号で、設計と集積の選択の幅を広げられる可能性がある。将来をさらに見越したとき、カーボンナノチューブや光配線と言った革新的材料や配線構想が、金属・絶縁膜配線で制限されている性能限界を大きく超える可能性がある。単純なスケーリングから離脱するには、新奇配線を用いることで、機能的に多様化する可能性を探る必要がある。この方向の可能性のある技術は、例えば、リピータを埋め込むこと、可変抵抗のビアにすること、配線工程を用いたメモリーを集積化すること含んでいる。これらの新しい技術を導入するためには、化合物半導体のような通常用いられない材料を使うことも視野に入れるべきである。しかしながら、CMOS 互換の配線プロセスと必要な計測を開発して、機能的な集積を行うことが最も望ましいことである。

ゲート CD 制御の改善とプロセス制御[LITHOGRAPHY]

デバイスの過激なスケーリングのために、必要とされるゲート CD 制御は、各々のリソ技術候補で 2016 年には、LWR を 3σ で 1.2 nm に減らしながら、 3σ で 0.92 nm に抑えることである。(Si-Si 格子間距離が 0.235 nm. であることに注目して欲しい)。更に、CD 計測の分解能と精度を 2022 年には、LWR 計測を 3σ で 0.36 nm で行いながら、4.5 nm にすることは、位置ずれ計測精度を 3σ で 2.2 nm にすることと伴に大変な挑戦である。2022 年にはパターン付きウェーハで許容できる最大の欠陥寸法は 6.6nm 以下になる。計測や、検査装置が十分な精度と分解能を持たないで、CD 制御の改善とプロセス制御を行うことは困難になるであろう。

非破壊製造検査[METROLOGY]

3 次元構造の寸法計測や欠陥検査をするために、非破壊(界面の帯電や汚染が無い)で高分解能のウェーハ/マスク工程の顕微鏡検査が必要である。CD 計測精度を向上させるためには、物理形状と計測装置内で分析された検出波形の関係を理解する必要がある。界面の帯電や汚染は、センサーや検出方法も同様に改善が必要である。新たな収差補正機能を有した光学設計が高分解能やスループットにとって必要である。イオン顕微鏡は、この課題に対応できる候補の一つである。高分解能光学系と検出波形の分析、非常電技術は 3 次元構造の CD 計測や欠陥検査を可能にする。同時に、CD-SEM は、信頼性と安定した計測のために、走査型プローブ顕微鏡検査で校正されなければならない。

CMOS のスケーリングを引き続き進めること、複合的集積と BEYOND CMOS[EMERGING RESEARCH DEVICES]

16nm 世代とそれ以降に情報処理技術を連続的に機能的にスケーリングする方法には 3 つの方法がある。CMOS のスケーリングを引き続き進めるには、リーク電流と電力消費を最小に抑えながら、MOSFET の飽和速度と増加させ、ドレイン電流を最大化するために新材料を開発してシリコンを別のチャンネル材料に置き換える必要がある。複合的集積とは、新しいデバイスの技術と原理的なレベルのアーキテクチャーを開発・駆使して、シリコンを用いた CMOS に特別の目的に最適化した機能コアを集積することを目指したものである。Beyond CMOS とは最終的に CMOS を置き換える新しい情報処理の技術を発明し、開発するアプローチである。

ナノ構造と特性の制御[EMERGING RESEARCH MATERIALS]

新探究材料の最も困難な挑戦の一つは、制御された望ましい特性をもつ材料の選択肢を提供することである。この材料の選択肢は高密度新探究デバイス、リソ技術、配線の製造と動作をナノスケールで可能とするものである。この挑戦は、ナノ構造の、寸法、バンド幅などの特性の制御を要求するだけでなく、カーボンナノチューブ、ナノワイアー、量子ドットをデバイスや配線を作るために正確に配置することを要求している。ナノメー

タスケールの適用のために材料の性質の制御性を改善するためには、研究社会の中の協業と調整が必要である。

低コスト生産

歩留り習熟のためのテスト【テスト】

根底にある欠陥構造とプロセス限界を理解するためのフィードバックループとして、また急速な製造プロセスの歩留り習熟と改善を実現する手立てとしてのテストの周近的な役割は、伝統的にハード欠陥をスクリーニングすることに対して二次的な役割と考えられてきた。光波長よりもかなり下回る形状(そして、欠陥)サイズの急激な減少、故障解析スループット時間の急速な増加、故障解析有効性の減退、そして他の物理的技術(パイク(pica)、レーザープローブ(laser probes))の事実上の物理的限界への接近などに伴い、産業は、半導体事業として戦略的な変曲点に到達しようとしている。そこでは、DFT の臨界、テストにより可能となる診断、及び歩留り習熟が最優先項目となる。

新しいパッケージ技術の出現 [ASSEMBLY AND PACKAGING]

2016年のICはMPU/ASIPのM1ハーフピッチが23nm、コア電圧は0.5Vで、高性能用途でのI/O周波数は35GHzとなる。これらのデバイス特性が電子システムで実現出来るかどうかは、先進のパッケージ技術とパッケージ新材料に依存するだろう。高発熱やホットスポット現象に対する解決策候補には、先進の流体冷却システムや、カーボン・ナノ・チューブのような新しい高熱伝導材料が含まれる。ブロード・バンド・データ転送では、パッケージに組み込まれた光導波路接続やその他の高速電気インターフェースが必要となるだろう。市場に出て来ている有機デバイスまたは生物学的デバイスは、生物学的インターフェースが必要となる。システム設計の観点から、多種多様なデバイスのSiPへの集積化には、最適配置を実現するための設計ツールと手法の改善が必要となる。

32NMにおけるプロセス技術要求への適用と世代を越えた生産規模の継続【FI】

コスト効率の良い、先端工場に必要とされる柔軟性、多世代活用性、拡張性の適用は、引き続き主要な挑戦である。多くのモジュール中の32nm世代の小さなプロセスウインドウや厳しいプロセス目標は、工場情報制御システムに対して大規模な影響を有し、ますます複雑で困難であるプロセス制御における意志決定を強要する。特に、より小さなロットサイズ運用を伴った、多品種の品質トラッキングおよび制御は、主要な生産効率リミッターのうちの1つになりえる。

新材料に関する化学的、熱機械的、電気的な特性のモデリング【MODELING AND SIMULATION】

現状材料の物理限界のために、技術開発のスケーリング則をそれなしでは維持することが出来ずに、新たに導入される材料が急激に増加している。このような導入は、積層構造のゲート材料、インターコネクトの材料、そしてフォトレジスト材料、更には、Emerging Research Devices用において特に著しい。これに伴い、製造装置、プロセス、デバイス、回路用のモデリングはこれら新材料が扱える拡張が必要である。。さらに、計算機材料科学は、新材料を選択する際の実験的な労力を削減し、実験に準じる計算に必要なデータベース作成に貢献できる様な開発を行う必要がある。

モデルに基づく設計製造インターフェイスの開発【YIELD ENHANCEMENT】

将来、モデルに基づく設計製造インターフェイスの開発が必要になる。OPCとプロセスの導入の複雑さから、このモデルは特性に対する感度、超薄膜の完全性への感度、回路設計への感度を有し、より多くのトランジスタのパッケージ等に対応するものでなくてはならない。新規技術世代のプロセスインテグレーションの複雑さに対応するTEGの開発も必要になる。トランジスタの数の増加に伴い統計的な計測技術に対応するインターフェイスでなければならない。

ESH による設計と測定方法による薬液と施設管理[ESH]

装置設計のエンジニアと装置ユーザは、将来使われる可能性がある新プロセス薬品、材料、方法について ESH 的特徴に関する情報をタイミング良く要求する必要がある。ESH のインパクトを最小化するために、最も適した薬品、材料、方法の正しい選択をするためには、この情報は必要不可欠である。新プロセスの正しい評価のためには、化学的データの入手性と化学的評価は重要である。そして、施設のエネルギー、水、材料節約することは、世界環境負荷を最小にするために本質的に重要である。ESH インパクトをプロセス導入を遅らせずに最小化するためには、統合された ESH 設計、測定、評価方法が開発される必要がある。

2007 新規事項—ワーキンググループ要約

システムドライバ (SYSTEM DRIVERS)

新規事項

2007年のシステムドライバ章は21世紀の需要を反映させた市場要求型のドライバに発展させた。これらは、下記の項目を含む

- ネットワーク (*Networking*) : 2007年新規の項目である。この分野は、高いバンド幅を持つ通信分野で用いられる半導体に代表される。
- 民生据置ドライバ (*Consumer Stationary Driver*) : 2006年の更新時から取り上げたドライバである。このドライバはますます重要になる民生エレクトロニクス市場の中で、高性能分野を代表するものである。
- 民生携帯ドライバ (*Consumer mobile driver*) : 2005年版から取り上げられたドライバである。このドライバは電池駆動機器のために、非常に電力効率が高く、集積度の高いチップに代表される。
- オフィス/MPU (*Office / MPU*) : 伝統的なドライバである。近年のマイクロプロセッサが電力限界に達していることを反映して、周波数の向上速度と、集積されるコアの数について見直しを行った。
- その他のドライバについては、必要に応じて適時見直しを行った。
- 医療応用や自動車などのドライバは将来のロードマップで加えていくことを検討している。

ITRSの他の章や、iNEMI(International Electronics Manufacturing Roadmap)のような他のシステムレベルロードマップとの提携を取るために、システムドライバロードマップですべての市場要求を反映できるようなドライバ群にした。

"More than Moore"の分析も続けているが、民生携帯ドライバに集中し、iNEMIのシステムレベルエミュレータとの対比を行っている。長期的にはシステムレベルとチップレベルの要求の整合性を取っていくつもりである。この分析はもこの章で取り扱われる。

Table ITWGI Major Product Market Segments and Impact on System Drivers

Market Drivers	SOC	Analog/MS	MPU
<i>I. Portable/consumer</i>			
1. Size/weight ratio: peak in 2004 2. Battery life: peak in 2004 3. Function: 2×/2 years 4. Time-to-market: ASAP	Low power paramount Need SOC integration (DSP, MPU, I/O cores, etc.)	Migrating on-chip for voice processing, A/D sampling, and even for some RF transceiver function	Specialized cores to optimize processing per microwatt
<i>II. Medical</i>			
1. Cost: slight downward pressure (~1/2 every 5 years) 2. Time-to-market: >12 months 3. Function: new on-chip functions 4. Form factor often not important 5. Durability/safety 6. Conservation/ ecology	High-end products only. Reprogrammability possible. Mainly ASSP, especially for patient data storage and telemedicine; more SOC for high-end digital with cores for imaging, real-time diagnostics, etc.	Absolutely necessary for physical measurement and response but may not be integrated on chip	Often used for programmability especially when real-time performance is not important Recent advances in multicore processors have made programmability and real-time performance possible
<i>III. Networking and communications</i>			
1. Bandwidth: 4×/3–4 years 2. Reliability 3. Time-to-market: ASAP 4. Power: W/m ³ of system	Large gate counts High reliability More reprogrammability to accommodate custom functions	Migrating on-chip for MUX/DEMUX circuitry MEMS for optical switching.	MPU cores, FPGA cores and some specialized functions
<i>IV. Defense</i>			
1. Cost: not prime concern 2. Time-to-market: >12 months 3. Function: mostly on SW to ride technology curve 4. Form factor may be important 5. High durability/safety	Most case leverage existing processors but some requirements may drive towards single-chip designs with reprogrammability	Absolutely necessary for physical measurement and response but may not be integrated on chip	Often used for programmability especially when real-time performance is not important Recent advances in multicore processors have made programmability and real-time performance possible
<i>V. Office</i>			
1. Speed: 2×/2 years 2. Memory density: 2×/2 years 3. Power: flat to decreasing, driven by cost and W/m ³ 4. Form factor: shrinking size 5. Reliability	Large gate counts; high speed Drives demand for digital functionality Primarily SOC integration of custom off-the-shelf MPU and I/O cores	Minimal on-chip analog; simple A/D and D/A Video i/f for automated camera monitoring, video conferencing Integrated high-speed A/D, D/A for monitoring, instrumentation, and range-speed-position resolution	MPU cores and some specialized functions Increased industry partnerships on common designs to reduce development costs (requires data sharing and reuse across multiple design systems)
<i>VI. Automotive</i>			

1. Functionality	Mainly entertainment systems	Cost-driven on-chip A/D and D/A for sensor and actuators	
2. Ruggedness (external environment, noise)	Mainly ASSP, but increasing SOC for high end using standard HW	Signal processing shifting to DSP for voice, visual	
3. Reliability and safety	platforms with RTOS kernel, embedded software	Physical measurement (“communicating sensors” for proximity, motion, positioning); MEMS for sensors	
4. Cost			

A/D—*analog to digital* ASSP—*application-specific standard product* D/A—*digital to analog* DEMUX—*demultiplexer*
 DSP—*digital signal processing* FPGA—*field programmable gate array* i/f—*interface I/O—input/output* HW—*hardware*
 MEMS—*microelectromechanical systems* MUX—*multiplexer* RTOS—*real-time operating system*

設計

新規事項

2005 版を見直した結果、2006 版デザイン章では定量化された設計技術ロードマップの改訂を行った。2007 版デザイン章では、システムレベル設計、設計検証、製造容易化設計、論理・回路・物理設計の各セクションの改訂を含んで、いくつかの図表、時期、課題の意味のある更新を提供することに注力した。

殆どのセクションに、課題と解決策を関連づける表が付けられた。通常は 1 対 1 の対応が保証されているわけではないが、設計フローのいくつかの部分では非常に役に立つ。2008 版でもこの方向を継続して行くが、一方では、異種混交システムやシステム・イン・パッケージ(SIP)といった、ムーアの法則に追加される手法の記述が増加する。

実際、設計技術の各セクション(システムレベル設計、論理・回路・物理設計、設計検証、テスト設計、製造容易化設計)の解決策に着目して”More than Moore”に対応する設計技術を分析・集計した“分類表”は既に 2007 版で実施され、記載されている。

困難な挑戦

2007 版デザイン章では、従来からと同じく 5 つの総括的な技術課題を掲げているが、その中では、システムと設計プロセスの複雑度に関連し、そしてもちろん設計コストに影響を与える、“設計生産性”が短期的にも長期的にも最大に重要な課題である。また、この設計生産性は他の 4 つの課題から影響を受ける。2 つ目から 5 つ目の課題は範囲がやや狭く、殆どはシリコン複雑度に関わる問題である。これらの中では、消費電力と製造容易性が最も重要である：

- 消費電力は緊急で短期的な技術課題であり、性能ドリブンの動的な消費電力の問題から、ばらつきドリブンのリーク電流の問題に急速にシフトしている。消費電力は、ITRS の Executive Summary では、“性能向上”型の技術課題に分類されている。
- 製造容易性、すなわち許容できるコストと経済的に可能なスケジュールで、チップの大量生産を可能にすることは、最初はリソグラフィのハードウェアの限界によってもたらされて来たが、設計のすべての局面に様々な形態で影響を与える“ばらつき”の問題として長期的に危機的な課題となっている。製造容易性は、ITRS の Executive Summary では、“低コスト生産”型の技術課題に分類されている。

Table ITWG2 Overall Design Technology Challenges

<i>Challenges ≥ 32 nm</i>	<i>Summary of Issues</i>
Design productivity	System level: high level of abstraction (HW/SW) functionality spec, platform based design, multi-processor programmability, system integration, AMS co-design and automation Verification: executable specification, ESL formal verification, intelligent test bench, coverage-based verification Logic/circuit/layout: analog circuit synthesis, multi-objective optimization
Power consumption	Logic/circuit/layout: dynamic and static (leakage), system and circuit, power optimization
Manufacturability	Performance/power variability, device parameter variability, lithography limitations impact on design, mask cost, quality of (process) models ATE interface test (multi-Gb/s), mixed-signal test, delay BIST, test-volume-reducing DFT
Reliability	Logic/circuit/layout: MTTF-aware design, BISR, soft-error correction
Interference	Logic/circuit/layout: signal integrity analysis, EMI analysis, thermal analysis
<i>Challenges < 32 nm</i>	<i>Summary of Issues</i>
Design productivity	Complete formal verification of designs, complete verification code reuse, complete deployment of functional coverage Tools specific for SOI and non-static logic, and emerging devices Cost-driven design flow Heterogeneous component integration (optical, mechanical, chemical, bio, etc.)
Power consumption	SOI power management
Manufacturability	Uncontrollable threshold voltage variability Advanced analog/mixed signal DFT (digital, structural, radio), “statistical” and yield-improvement DFT Thermal BIST, system-level BIST
Reliability	Autonomic computing, robust design, SW reliability
Interference	Interactions between heterogeneous components (optical, mechanical, chemical, bio, etc.)

ATE—automatic test equipment BISR—built-in self repair BIST—built-in self test DFT—design for test

EMI—electromagnetic interference ESL—Electronic System-level Design HW/SW—hardware/software

MTTF—mean time to failure SOI—silicon on insulator

テストとテスト装置

新規事項

2007年ロードマップは、元々2005年版の見直しとして取り組んでいたが、その内容は大きく変化し進化していった。2005年ではいくつかのセクションに重複記述していた内容を2007年版においてはその重複を極力無くすように努めた。例えば、SoC テーブルは、コアの集積したものをテストすると云う問題のみに言及するように完全に再定義した。個々のコアへの詳細な要求は、ロジック、メモリ、ミックスドシグナル、等の各テーブルでカバーされている。その結果、より読み易く、そして SoC テーブルの使い勝手も良くなり、更にそれぞれのコア自体に対する必要要求も駆動できた。コンシューマ用途ロジックが 2007 年のロジックテーブルに加えられた。2005年版のロジックテーブルは、大量生産のマイクロプロセッサだけに焦点を合わせコンシューマ用途は省略していた。

2007年版での他の変えたところは、DRAM、フラッシュ、および内臓メモリのテーブルを一つのメモリテーブルに統合したことである。2005年はギャップとして認識していた内臓SRAMが2007年版ではロードマップ化している。メモリテーブルのDRAM部分は新しいモデルに基づいているが、2005年の情報以上に入出力データの速度が顕著に増大したことを示している。一般DRAMの入出力データの信号速度は2022年までに8Gb/s以上に増加するであろう。

2007年版ロードマップには重要な追加がある。RFとテストソケットテーブルを追加した。2005年にロジック、通信デバイス、メモリに対応して3つに分けていたハンドラロードマップは、一つのテーブルに統合したが、2007年版ではDUT電力消費量に基づいて3つの領域に分割した。プローバテーブルにおいては、2005年にロジックのみに焦点を当てていたが、2007年版は全てのタイプのデバイスの必要要件を表した。LCDディスプレイ、イメージセンサ、及び、他の大量生産デバイスの様な特殊デバイスについても新しいセクションを追加した。これらのデバイスはコンシューマ用途や自動車用途のために要求されたものであり、他のセッションでカバーされていないものである。これらの特殊デバイスの要求は、他のテーブル内で詳細化された要求を超えているので、その要求要件を駆動していくことができるだろう。

最後に、テーブルの色とその値の入れ方の新決定方法に基づいて2007年版では多くのテーブルの色が変わった。そのデバイスに望まれる必要性に基づいたシリコンデバイスメーカーの要求によって、テーブルの各要素の値は決定された。その要素の色は、半導体デバイスメーカーが述べた必要性に対する装置サプライヤーからの回答を踏まえたものである。

主なドライバー、困難な挑戦と機会

Table ITWG3 Summary of Key Test Drivers, Challenges, and Opportunities

<i>Key Drivers (not in any particular order)</i>	
Device trends	Increasing device interface bandwidth (# of signals and data rates)
	Increasing device integration (SoC, SiP, MCP, 3D packaging)
	Integration of emerging and non-digital CMOS technologies
	Complex package electrical and mechanical characteristics
	Device characteristics beyond one sided stimulus/response model
	Multiple I/O types and power supplies on same device
Increasing test process complexity	Multiple digital I/O types on same device
	Device customization during the test process
	“Distributed test” to maintain cost scaling
	Feedback data for tuning manufacturing
Continued economic scaling of test	Dynamic test flows via “Adaptive Test”
	Higher order dimensionality of test conditions
	Physical limits of test parallelism
	Managing (logic) test data and feedback data volume
	Defining an effective limit for performance difference for HVM ATE versus DUT
Difficult Challenges (in order of priority)	Managing interface hardware and (test) socket costs
	Trade-off between the cost of test and the cost of quality
	Multiple insertions due to system test and BIST
Test for yield learning	Critically essential for fab process and device learning below optical device dimensions
Detecting Systemic Defects	Testing for local non-uniformities, not just hard defects Detecting symptoms and effects of line width variations, finite dopant distributions, systemic process defects
Screening for reliability	Implementation challenges and efficacies of burn-in, IDDQ, and Vstress Erratic, non deterministic, and intermittent device behavior
Potential yield losses	Tester inaccuracies (timing, voltage, current, temperature control, etc)
	Over testing (e.g., delay faults on non-functional paths)
	Mechanical damage during the testing process
	Defects in test-only circuitry or spec failures in a test mode e.g., BIST, power, noise
Future Opportunities (not in any order)	Some IDDQ-only failures
	Faulty repairs of normally repairable circuits
	Decisions made on overly aggressive statistical post-processing
Test program automation (not ATPG)	Automation of generation of entire test programs for ATE
Simulation and modeling	Seamless Integration of simulation and modeling of test interface hardware and instrumentation into the device design process
Convergence of test and system reliability solutions	Re-use and fungibility of solutions between test (DFT), device, and system reliability (error detection, reporting, correction)

ATE—automatic test equipment ATPG—automatic test pattern generation BIST—built-in self test HVM—high volume manufacturing
MCP—multi-chip packaging MEMs—micro-electromechanical systems

プロセスインテグレーション、デバイス、および構造

新規事項

プロセスインテグレーション、デバイス、および構造(Process Integration, Devices, and Structure: PIDS)の章では、IC 製造プロセスフロー全般、主な IC デバイスとその構造、及び、新しい技術選択肢(オプション)に関する信頼性について論じる。この章では、特に、物理的寸法、キーデバイスの性能やリークなどの電気的パラメータ、信頼性基準といったパラメータを含む、物理的、電気的な要求値と特性について示している。これらは、統計的なばらつきを良く検討した上で、その中心値を示している。ここでは、生産面でキーとなる技術的課題を述べ、いくつかの最善の解決策候補(Potential solution)を提示する。なお、この章では、ロジック、メモリー(DRAMと不揮発性メモリー: Non-Volatile Memory [NVM])、それらの信頼性の節に分かれている。

ITRS の主な目的は、今までムーアの法則(Moore's Law)に沿って行ってきた CMOS 技術のスケールリングを維持するために キーとなる技術要求や技術課題についてその重要性を確認することと課題解決に向けて研究と開発を促進させることである。この章では、解決策候補をリスト化して議論することで、重要技術課題についての現状最良な施策ガイドラインを示している。しかし、解決策候補は包括的な物ではなく、必ずしも最良の策とは限らない。そのため、ITRS の解決策候補は刺激的な内容のものであり、新しく異なった解決方法の探求にも制限を付けてはいない。

ロジック

生産されている半導体デバイスの多くはデジタルロジック関係である。この節では高性能用途および低消費電力用途(主に携帯応用)のロジックを扱い、技術的要求の詳細と解決策候補が述べられている。キーワードは性能、消費電力、集積度である。キーとなるのは、今までのデバイス性能改善の傾向を維持するために、最先端ロジックテクノロジーとして MOSFET のスケールリングを維持することである。このスケールリングは、high-k ゲート絶縁膜、メタルゲート、などといった材料導入やプロセス変更、さらに長期的(long term)には、薄膜 SOI (ultra-thin body) や Fin-FET のようなマルチゲート MOSFET(multiple-gate MOSFET)などの新規構造開発を含む、大きな技術革新により産業を牽引する。これらの革新技術は、早い時期に導入されると予想されている。ゆえに、導入まで時間的に十分ではなく、デバイス製造時には技術の理解、モデリング、作り方について、産業界にとって大きな論点になると予想される。

メモリー

半導体デバイス生産高のほとんどをロジックとメモリーが占めている。この節で扱うメモリーは、DRAM、不揮発性メモリー(NVM)である。メモリー技術を牽引するのは汎用メモリーであるため、これらを中心に論じている。混載メモリーについては、汎用メモリーに少し遅れてではあるが、同じような傾向で登場すると予想している。なお、DRAM と NVM については、技術要求と解決策候補を詳細に述べる。

この章で述べる NVM とは、何度も書き込み読み込みが可能なデバイスに限っている。読み出し専用メモリー(Read Only Memory: ROM)や 1 回だけ書き込み可能なメモリー(One-time-Programmable: OTP)は含まない。NVM の主流は、NAND と NOR の Flash メモリーである。この章では、スケールリングを重要な論点として、大部分をスケールリングに関することに割いている。一方、強磁性体 RAM(ferroelectric RAM FeRAM) や磁気メモリー(Magnetic RAM MRAM)、相変化メモリー(phase shift RAM)などを含む、電荷を用いないタイプの NVM についても候補として考えている。DRAM タイプのメモリーでは、特に極低リークを防ぐことなど微細化の難しさが増大していることが重要な論点となっている。

信頼性

プロセスインテグレーションにおいて信頼性は重要な項目である。新規世代のデバイスでは、新材料と新プロセスの導入を、これらの情報収集とデータベースの構築、そして、新しい故障モードや欠陥のモデル化を行うよりも早く、予想を越える速さが必要としている。プロセスインテグレーションは技術が習熟する前に完成する必要があるため、これまでの信頼性のレベルを維持することは難しくなってくる。信頼性が十分でなければ、性能、コスト、市場への製品投入時期などで不利益をもたらす。これらは、テスト、ウエハーレベルの信頼性(WLR)においても困難な技術課題(Difficult Challenges)として検討されている。実装の信頼性は、新材料、新

規プロセス、形状、狭ピッチのリード、ボンディング、耐環境性、接着性、顧客の製造能力といった問題に対して特に弱い。

困難な技術課題 (DIFFICULT CHALLENGES)

Table ITWG3 Process Integration Difficult Challenges—Near-term Years

<i>Difficult Challenges ≥ 22 nm</i>	<i>Summary of Issues</i>
<p>1. Scaling of MOSFETs to the 22 nm technology generation</p>	<p>Scaling planar bulk CMOS will face significant challenges due to the high channel doping required, band-to-band tunneling across the junction and gate-induced drain leakage (GIDL), random doping variations, and difficulty in adequately controlling short channel effects. Also, keeping parasitics, such as series source/drain resistance with very shallow extensions and fringing capacitance, within tolerable limits will be significant issues.</p> <p>Implementation into manufacturing of new structures such as ultra-thin body fully depleted silicon-on-insulator (SOI) and multiple-gate (e.g., FinFET) MOSFETs is expected at some point. This implementation will be challenging, with numerous new and difficult issues. A particularly challenging issue is the control of the thickness and its variability for these ultra-thin MOSFETs, as well as control of parasitic series source/drain resistance for very thin regions.</p>
<p>2. With scaling, difficulties in inducing adequate strain for enhanced mobility.</p>	<p>With scaling, it is critically important to maintain (or even increase) the current significantly enhanced CMOS channel mobility attained by applying strain to the channel. However, the strain due to current process-induced strain techniques tends to decrease with scaling.</p>
<p>3. Timely assurance for the reliability of multiple and rapid material, process, and structural changes</p>	<p>Multiple major changes are projected over the next seven years, such as.:</p> <p>Material: high-κ gate dielectric, metal gate electrodes, lead-free solder</p> <p>Process: elevated S/D (selective epi) and advanced annealing and doping techniques</p> <p>Structure: ultra-thin body (UTB) fully depleted (FD) SOI, multiple-gate MOSFETs, multi-chip package modules</p> <p>It will be an important challenge to ensure the reliability of all these new materials, processes, and structures in a timely manner.</p>
<p>4. Scaling of DRAM and SRAM to the 22 nm technology generation</p>	<p>DRAM main issues with scaling—adequate storage capacitance for devices with reduced feature size, including difficulties in implementing high-κ storage dielectrics; access device design; holding the overall leakage to acceptably low levels; and deploying low sheet resistance materials for bit and word lines to ensure desired speed for scaled DRAMs.</p> <p>SRAM—Difficulties with maintaining adequate noise margin and controlling key instabilities and soft error rate with scaling. Also, difficult lithography and etch issues with scaling.</p>
<p>5. Scaling high-density non-volatile memory to the 22 nm technology generation</p>	<p>Flash—Non-scalability of tunnel dielectric and interpoly dielectric. Dielectric material properties and dimensional control are key issues.</p> <p>FeRAM—Continued scaling of stack capacitor is quite challenging. Eventually, continued scaling in 1T1C configuration. Sensitivity to IC processing temperatures and conditions.</p> <p>MRAM—Magnetic material properties and dimensional control. Sensitivity to IC processing temperatures and conditions</p>

Table ITWG3 Process Integration Difficult Challenges—Long-term Years

<i>Difficult Challenges < 22 nm</i>	<i>Summary of Issues</i>
6. Implementation of advanced, non-classical CMOS with enhanced drive current and acceptable control of short channel effects for highly scaled MOSFETs	<p>Advanced non-classical CMOS (e.g., multiple-gate MOSFETs) with ultra-thin, lightly doped body will be needed to scale MOSFETs to 10 nm gate length and below effectively. Control of parasitic resistance and capacitance will be critical.</p> <p>To attain adequate drive current for the highly scaled MOSFETs, quasi-ballistic operation with enhanced thermal velocity and injection at the source end appears to be needed. Eventually, nanowires, carbon nanotubes, or other high transport channel materials (e.g., germanium or III-V thin channels on silicon) may be needed.</p>
7. Dealing with fluctuations and statistical process variations in sub-11 nm gate length MOSFETs	<p>Fundamental issues of statistical fluctuations for sub-10 nm gate length MOSFETs are not completely understood, including the impact of quantum effects, line edge roughness, and width variation.</p>
8. Identifying, selecting, and implementing new memory structures	<p>Dense, fast, low operating voltage non-volatile memory will become highly desirable</p> <p>Increasing difficulty is expected in scaling DRAMs, especially scaling down the dielectric equivalent oxide thickness and attaining the very low leakage currents and power dissipation that will be required.</p> <p>All of the existing forms of nonvolatile memory face limitations based on material properties.</p> <p>Success will hinge on finding and developing alternative materials and/or development of alternative emerging technologies.</p> <p>See Emerging Research Devices section for more detail.</p>
9. Identifying, selecting, and implementing novel interconnect schemes	<p>Eventually, it is projected that the performance of copper/low-κ interconnect will become inadequate to meet the speed and power dissipation goals of highly scaled ICs.</p> <p>Solutions (optical, microwave/RF, etc.) are currently unclear.</p> <p>For detail, refer to ITRS Interconnect chapter.</p>
10. Eventually, identification, selection, and implementation of advanced, non-CMOS devices and architectures for advanced information processing	<p>Will drive major changes in process, materials, device physics, design, etc.</p> <p>Performance, power dissipation, etc., of non-CMOS devices need to extend well beyond CMOS limits.</p> <p>Non-CMOS devices need to integrate physically or functionally into a CMOS platform. Such integration may be difficult.</p> <p>See Emerging Research Devices sections for more discussion and detail.</p>

[I] 22nm 世代までの MOSFET のスケールリング

プレーナバルク MOSFET のスケールリングにおいては、短チャネル効果抑制としきい値を適正にするために、チャネル濃度を大幅に増大する必要がある。高チャネル濃度の結果、正孔と電子の移動度は劣化、バンド間トンネルによる接合リークが増大、GIDL (Gate Induced Drain Leakage) の増大などが誘起される。さらに、微細な MOSFET のチャネル内の全不純物数が少なくなるために、不純物の数と位置の統計的なゆらぎが急増する。この結果、しきい値の統計的なばらつきは急増する。微細 MOSFET におけるもう一つの技術課題は、非常に浅いソースドレイン接合におけるソースドレイン抵抗の低減である。

プレーナバルク MOSFET のスケールリングの遂行のため、FD-SOI MOSFET やマルチゲート MOSFET、特にダブルゲート (DG) MOSFET (FinFETs) などの新構造デバイスが結果的に使用されることが期待されている。これらのデバイスは通常はチャネル濃度が低く、しきい値はメタルゲートの仕事関数で制御されるため、プレー

ナバルク MOSFET で問題となる高チャネル濃度による統計的な不純物ゆらぎを回避できる。しかし、いくつかの新しい課題も生じる。これらの課題で最も困難なものは、SOI 膜厚の制御と膜厚ばらつきの抑制、メタルゲートの仕事関数の制御である。プレーナバルク MOSFET の場合と同様、寄生のソース/ドレイン抵抗の低減も困難な課題である。

スケールに伴うプレーナバルク MOSFET と新構造 MOSFET に共通課題は、ゲート長に対してのライン端の粗さ(Line Edge Roughness: LER)の割合の増加である。

高性能ロジックにおいて、スケールに伴うチップ集積度の増大とトランジスタリーク電流の増大のため、チップの静止時の消費電力低減と性能目標達成の両立が困難になる。性能と消費電力のターゲットに向けて、回路設計やアーキテクチャの革新と、しきい値の異なるトランジスタの使用(マルチ V_t)などが必要となる。クリティカルパスには低いしきい値のトランジスタを、残りの部分には高いしきい値のトランジスタを使い、性能と消費電力の最適化を行う必要がある。低消費電力ロジック向けには、スケールと静的な消費電力の制御が必須である。このため、トランジスタのリーク電流は高性能用途向けと比べて非常に低くなっている。マルチ V_t だけでなく、高性能用途と同様に、回路とアーキテクチャの革新が必要である。

[2] スケールに伴う移動度改善のための十分な歪導入の難しさ

現在、チャネルに歪を入れチャネル移動度を向上させることが、MOSFET の性能要求を満たすために大きく貢献している。微細化では、デバイス性能の要求値を満たすに CMOS の移動度向上を続けていくこと(さらに改善を図ること)が大変重要である。しかしながら、プロセスで導入される歪は、微細化とともに小さくなってきており、微細構造でも歪を維持できる技術が必要である。(詳細については、Logic Potential Solution 節を参照)

[3] 各種の材料、プロセス、構造の急激な変化に対応した信頼性保障

MOSFET のスケールとデバイス性能、リーク電流、などの要求値の達成には、High-k ゲート絶縁膜、メタルゲート電極、エレベーターソース/ドレイン、新アニール技術、新ドーピング技術、新 low-k 材料、鉛フリーはんだ、マルチチップパッケージなどの、多くの大幅なプロセス、材料の革新が、少なくとも 10 年以内に実用化されることが必要とされている。また、FD-SOI MOSFET に始まって、マルチゲート MOSFET に進む新しい MOSFET 構造が実用化されることが予想されている。これら全ての革新技術に対し、信頼性を理解しモデリングすることは、重要であり、その結果これらの信頼性がタイムリーに確認されることは難しくなると予想される。

[4] 22nm 世代に向けた DRAM と SRAM のスケール

DRAM の重要な課題は、セルが縮小されても十分な蓄積容量の確保のための、High-k 絶縁膜と MIM 構造の実用化である。十分なリテンション時間を確保するために、絶縁膜のリーク電流や接合リーク電流、アクセストランジスタのサブスレショルドリーク電流の抑制が重要である。低リーク電流の要求はアクセストランジスタの要求性能達成を困難にさせる。最後に、ワード線とビット線用の低シート抵抗材料は、微細な DRAM の要求速度性能実現に非常に重要である。

SRAM については、スケールにおけるノイズマージンの確保と、ホットエレクトロン起因や NBTI(Negative Bias Temperature Instability)などの不安定性の抑制の両立が課題である。また、微細化におけるリソグラフィとエッチングの課題もある。SRAM は通常、高速動作の混載メモリーとして使用されるため、前述の課題を解決することは、システム性能向上に必須である。

[5] 高密度不揮発性メモリー(NVM)の 22nm 世代に向けた微細化

不揮発性メモリーに共通な課題は二つある。一つは、それぞれの NVM セルはいくつかの点で CMOS 技術と異なる。そして、このためにメモリーセルの微細化は幾つかの課題がある。これらの課題は NVM ごとに異なるし、独特の課題はそれぞれの NVM のテーブルに記載されている。二つ目の課題は、セットとリセットにおける通常の動作が、材料にストレスを与え、セル特性の劣化に繋がる可能性がある。劣化は通常、真性のデバイス特性に起因するというより、欠陥に関連したメカニズムで生じる。エンデュランスとリテンションの要求は、メモリー

の予想される能力と安全な使用範囲のガイドラインをユーザーに与える。この二つのパラメータを長期的に予測することは非常に困難である。故障解析は困難で、リアルタイムの試験も難しい。

[6] 電流駆動能力が大きく、かつ短チャネル効果が抑制されたノンクラシカル CMOS の実用化

将来においてトランジスタのゲート長が 10nm 以下となる時、低濃度チャネルの FD-SOI MOSFET やマルチゲート MOSFET は効率的に微細化でき、短チャネル効果抑制にも期待されている。他の材料的あるいはプロセスの解決策は、High-k ゲート絶縁膜、メタルゲート電極、歪シリコンチャネル、エレベーターソース/ドレインなどで、ノンクラシカル CMOS に導入されることが期待されている。ゲート長 10nm 以下では、FD-SOI のボディ膜厚は 10nm 以下が必要である。この時の量子効果と表面散乱効果の影響は十分解明されていない。これらの非常に微細な MOSFET は、ソース端での注入速度の増大と短チャネル化で、準バリスティック輸送が起こっている。このため、例えばゲルマニウムや III-V 族のチャネルをシリコン上に作ったり、カーボンナノチューブやナノワイヤなどの輸送効率の高いチャネル材料が使われるかもしれない。

[7] サブ 11nm のゲート長の MOSFET における、ゆらぎと統計的プロセスばらつきへの取り扱い

量子効果、LER、極薄 SOI 膜厚のばらつきなど、統計的なばらつきの影響は十分には理解されていない。

[8] 新メモリー構造の理解、選択、量産化

長期においては DRAM と NVM のスケージングの難しさが、困難な課題の表に記載されているように、増大する。高密度、高速、そして新しい不揮発性メモリー構造への必要性が、消費電力低減のために、増している。そのような不揮発性メモリーの量産は大きなチャレンジである。

[9] 優れた配線構造の選択と量産化

銅の抵抗率は、線幅が 100nm 以下となると、徐々に増大する。また、層間絶縁膜の比誘電率は 1-1.5 が限界である。その時点で、更なる配線性能向上のために、新規のアーキテクチャや材料による解決策が要求される。

[10] 最終的には、情報処理の進展のための先端 CMOS、CMOS 以外のデバイスやアーキテクチャの同定、選択、量産化

最終的には、ロードマップの終わりあるいはその後に向けて、MOSFET のスケージングは徐々に効果が弱くなるか、高コストになり、性能、消費電力、集積度を向上していくためには、非 CMOS による解決策が必要になる。そのような解決策がそれまでに開発され量産化されている高性能、低コスト、高密度の CMOS ロジック技術に、機能的あるいは物理的にインテグレーションされることが期待される。

ワイアレス通信のための RF とアナログミックス信号技術

新規事項

RF とアナログミックス信号 CMOS

- 2年遅れで高性能 CMOS のロードマップにリンクした、ミリ波用 RF CMOS 要求事項
- F_t , F_{max} に対する RF パラメータと 24 GHz and 60 GHz における雑音指数

RF とアナログミックス信号バイポーラデバイス

- 3つの別々のバイポーラデバイスに対する考えかた-----代表的低コストバイポーラデバイスのための高電圧、ミリ波応用のための高速度と電力増幅器。
- 高速度と電力増幅器にドライバーとしての焦点をあてる。
- 高速デバイスの F_t スケーリングはあまり過激ではない。300 GHz は 1年遅れ、500 GHz は 5年遅れで、 F_{max} , J_c と BV_{CEO} スケーリングに合わせる。
- 電力増幅器の NPN パラメータを改訂し、電力増幅器の電池電圧に合わせる
- 60 GHz アナログノイズ指標を追加

RF とアナログ用オンチップとエンベ受動素子

- アナログ、RF、電力増幅器の 3つの応用を追加
- キャパシター、抵抗、インダクター、バラクターのようなデバイスを加える
- 金属-酸化膜-金属キャパシターを加える

電力増幅器 (0.8 GHz–10 GHz)

- ハンドセット—III-V 化合物半導体と Si を用いた、HBT と FET ハンドセットに最終的な電池電圧を加える、集積されたバイアス回路設計のための FET-HBT 集積と、バイパス中間周波数段のためのオンチップスイッチ集積。新規市場は電力増幅器がコストパフォーマンスかコストだけでドライブされる応用を要求している。コストだけの市場は Si だけのチップの選択肢をドライブしている。
- 基地局—携帯用と 被比較的高い RF 電力と LDMOS、III-V FET デバイスを必要とする新しい世界互換マイクロ波通信 (WiMAX) を含む。
- GaN デバイスで置き換わったので SiC デバイスを除く。

ミリ波 (10 GHz–100 GHz)

- III-V 属デバイス (GaAs PHEMT, InP HEMT, GaAs MHEMT, GaN HEMT, InP HBT) に現在は占められている、SiGe HBT と RF CMOS。
- 低ノイズ増幅器と電力デバイスを強調する

ワイアレス複数標準応用に対するモアザンムーア注力事項

- マルチ帯、マルチモード、携帯応用に言及
- デバイスのロードマップだけではソフトウェアによるラジオ (SDR) は出来ないので、デジタルラジオ設計を言及する要求を、広帯域増幅器、整合機、フィルター、切り替え通信網を用いたハイブリッドアプローチを使って述べる
- エンベ受動素子と RFMEMS の要求事項に関し 2つの新表を加える。
-

困難な挑戦

Table ITWG4 *RF and Analog Mixed-Signal (RF and AMS) Technologies for Wireless Communications*
Difficult Challenges

<i>Difficult Challenges</i>	<i>Summary of Issues</i>
Radio Integration	<p>Performance and cost trade-offs for SoC versus SiP solutions</p> <p>Signal isolation and integrity are challenges to technologists, designers, and EDA tool providers for both analog and digital domains</p> <p>CAD solutions for integrated radio SiP designs (chip, passive, MEMS, package, tool compatibility, and model accuracies)</p>
Device Technology	<p>Optimizing analog/RF CMOS devices with scaled technologies. Fundamental changes in CMOS device structure may lead to the need for separate process/chip to support conventional precision analog/RF devices</p> <p>Increasing Ft of silicon bipolar devices by more aggressive vertical profiles</p> <p>Managing higher current and power densities that result from aggressive vertical profiles in silicon bipolar devices</p> <p>Performance and cost trade-offs for integrating passive devices</p> <p>Predictability of battery technology (end-of-life) and its impact on PA roadmap</p> <p>Compound semiconductor substrate quality, reliability, thermal management, particularly for GaN</p> <p>Low-cost processing equipment for compound semiconductors</p>
Design	<p>Design approach for wider range of supply voltages</p> <p>Digitizing analog functions in the software define radio (SDR)</p> <p>Non-linear and 3D Electromagnetic models for accurate design and simulation</p> <p>Computationally efficient physical models for compound semiconductors</p> <p>Thermal modeling and simulations that are integrated with RF and digital design tools.</p>

新探究デバイス(ERD, EMERGING RESEARCH DEVICES)

新規事項

新しい 2007 年新探究デバイス(ERD)の章は 2005 年 ERD の章に比べて、改変され、内容の範囲が広がった。2005 年に取り入れられたが、新探究材料のセクションは、新探究デバイス用途に加えて、リソ、実装、FEP、配線に対する新材料を含み、拡張されて、新探究材料(ERM)という別の新しい章になった。ERD に関する材料研究の課題はこの ERD の章にまとめてあり、更に詳しく ERM の章で述べられている。大きな他の変化は CMOS を現存する市場に更に拡大し、新しい応用を可能とするため、CMOS のプラットフォームと集積可能な新探究デバイスに焦点を当てていることである。

この可能性は 2007 年の新探究デバイスの章の範囲と内容を広げる動機付けになっている。This possibility motivates an expansion in scope and content of the Emerging Research Devices chapter for 2007. ERD 章では、メモリーと情報処理、すなわち、ロジックデバイス、ナノアーキテクチャを評価しており、集積電子機能を実現する 2 つの異なったアプローチの適用を考えている。ひとつは、これらの新しい技術を CMOS のプラットフォームに複合的に集積すること、すなわち「高性能 CMOS」か「機能多様化」である。もう一つは、情報・信号処理に対して一つ以上の基本的に新しいアプローチを創造すると言う、興奮するが同時に怯まされる挑戦である。このテーマでは、情報を新材料、プロセス、デバイス、ナノアーキテクチャとシステム革新をとうして、物理的に表現し、処理し、貯え、移動する新しい方法を発見し、開拓することが要求される。

メモリのセクションでは、ナノ浮遊メモリが ERD 章より外され、PIDS 章に推奨された。抵抗ベースのメモリは、フェーズ・アンチフェーズメモリ、イオンメモリ、電子効果メモリ、マクロ分子メモリ(以前のポリマーメモリ)に置き換えられた。新しくナノ機械メモリが加えられた。

CMOS を補い補完するための、情報処理デバイス構造含むために、ロジックのセクションの範囲を広げるのに加えて、このセクションは 1 次元構造を「FET の延長」と名付けた新しいカテゴリに入れるため、技術の入り口を広げている。このカテゴリには「チャンネルの置き換え」材料に関する新技術の入り口を含む。これらの材料は、キャリアの移動度や速度を速め、ロードマップの目的に合わせて CMOS をスケールアップするために、チャンネル部でシリコンを置き換えることを提案している。チャンネル置き換え材料の例は、Ge, SiGe, and III-V 属化合物半導体材料である。MOSFET のためのグラフェンリボン材料の開発は高性能 FET のための 1 次元または低次元のカテゴリに付け加えられる。D 最後に、アーキテクチャのセクションは広げられ、再構成されて、特殊用途のために、独特な機能を行うために CMOS 以外の新奇デバイスを利用する新しい研究アーキテクチャを含んでいる。ここで我々はアーキテクチャという言葉は計算部品をエンベした配線されたデバイスの単一チップの上の機能として使っている。この記述が示唆していることは、これらのデバイスは今後も一般的な計算と多くを処理し、導入に必要な入出力機能を持つ CMOS 構造と集積できることを仮定している。このセクションは選択支を重み付けられる基準を確立するために、アーキテクチャの選択と試みが明確になるように、デバイスの、またアーキテクチャ的な傾向を探索している

困難な挑戦

Table ITWG5 Emerging Research Device Technologies Difficult Challenges

<i>Difficult Challenges ≥ 22 nm</i>	<i>Summary of Issues and opportunities</i>
<p>Scale high-speed, dense, embeddable, volatile and non-volatile memory technologies to and beyond 22 nm</p>	<p>SRAM and FLASH scaling will reach definite limits within the next several years (see PIDS chapter for Difficult Challenges). These are driving the need for new memory technologies to replace SRAM and FLASH memories.</p> <p>Identify the most promising technical approach(es) to obtain electrically accessible, high-speed, high-density, low-power, (preferably) embeddable volatile and non-volatile RAM</p>
<p><i>Difficult Challenges <22 nm</i></p>	
<p>Scale CMOS to and beyond the 16 nm technology generation.</p>	<p>Develop new materials to replace silicon as an alternate channel to increase the saturation velocity and maximum drain current in MOSFETs while minimizing leakage currents and power dissipation for technology scaled to 16 nm and beyond. Candidate materials include Ge, SiGe, III-V compound semiconductors, and graphene. Develop 1D (nanowire or nanotube) structures to scale MOSFETs and CMOS gates beyond the 16 nm technology generation.</p> <p>Develop means to control the variability of critical dimensions and statistical distributions (e.g., gate length, channel thickness, S/D doping concentrations, etc.)</p>
<p>Extend ultimately scaled CMOS as a platform technology into new domains of application.</p>	<p>Discover and reduce to practice new device technologies and a primitive-level architecture to provide special purpose optimized functional cores heterogeneously integrable with silicon CMOS.</p>
<p>Continue functional scaling of information processing technology substantially beyond that attainable by ultimately scaled CMOS.</p>	<p>Invent and develop a new information processing technology eventually to replace CMOS</p> <p>Ensure that a new information processing technology is compatible with the new memory technology discussed above; i.e., the logic technology must also provide the access function in a new memory technology.</p> <p>Bridge a knowledge gap that exists between materials behaviors and device functions.</p>

新探究材料(ERM, EMERGING RESEARCH MATERIALS)

新規事項

2007年のERMの章は、新しくITRSに加えられた章である(以前には2005年、2006年のERDの一部だった)。2005-2006年のスコープは、ERDをサポートする材料だったが、今のERMはリソグラフィやフロントエンドプロセス、配線、実装とパッケージなどの応用のためのERMについても調べている。ERM章ではまた、可能性のある応用のための材料をサポートするため、測定・解析やモデリング、ESHの研究ニーズについても取上げている。それらERMが、将来のニーズに対して可能性のあるソリューションとして魅力的特性を持つ一方、将来技術としてそれらが使われるためには、今後の多くの進展が必要である。

低次元材料、例えばナノチューブ、ナノワイヤー、他のナノ微粒子や、巨大分子は、ERD、リソグラフィ、フロントエンドプロセス、配線、実装・パッケージ技術でソリューションをもたらす可能性がある特性を持っている。自己組織化材料は、リソグラフィ応用や、高電荷密度キャパシタ、フロントエンドプロセスとしての選択デポジション・エッチングプロセスなどへの応用可能性がある。スピン材料は主にERD応用に興味を持たれる。複合酸化物はERDメモリやロジックデバイスの応用可能性がある。ある種の複合酸化物と強相関電子材料、それらのヘテロ界面は、スピンと電荷の特性を使う新しいロジックデバイスへの利用可能性がある。これらの材料のチャレンジは、測定・解析、モデリング、ESHの研究ニーズを含め、困難な課題のテーブルに強調されている。

困難な課題(DIFFICULT CHALLENGES)

現時点でのサブ22nm向けERMの困難な技術課題を、まとめて表1に示す。ERMの最も困難な課題は、おそらく、技術導入の判断に影響を与えるため、時間内に、制御された所望の特性をもつ材料を、技術選択肢として実現しておくことだろう。それら材料の選択肢は、高密度のERDや、リソグラフィ、ナノスケール配線の形成と動作、パッケージなどの選択肢として、潜在能力を示すものでなければならない。ナノスケールの応用に向けて材料特性の制御性を向上させるため、この課題解決には、研究コミュニティ内での共同研究や共同作業が必要となる。加速化された合成技術や測定・解析技術、モデリング技術の独創力は、狙ったターゲット材料の性能を高め、ERM技術を実現するために必要である。改良された測定・解析法とモデリングのツールもまた、これらのエマージングナノマテリアルのロバストな合成法を進化させるためのガイドとして必要である。多くのERMの成功は、要求された組成やモフォロジーの制御性、応用のための一連の特性、量産技術との互換性ととともに、有効なナノ構造を生み出すロバストな合成法にかかっている。

高密度なデバイスや配線を実現するには、ERMは、厳密な位置に方向制御して取り付けられなければならない。またERDや配線、パッケージ技術を発展させるための、ERMの別のクリティカルファクターとして、埋め込まれた界面特性のキャラクタライズやその制御能力がある。加工寸法がナノメートルスケールに近づくにつれ、基本的な熱力学的安定性やフラクチュエーションが、ナノマテリアルの厳密な寸法分布や優れた物性制御の加工限界を決めることになるだろう。また、研究環境の中にある新規なナノスケール材料については、ナノ材料やナノ構造の環境、安全、健康へのインパクトを階層的に状況判定するため、測定・解析法が開発され、データが蓄積されなければならない。

Table ITWG6 Emerging Research Material Technologies Difficult Challenges

<i>Difficult Challenges ≤ 22 nm</i>	<i>Summary of Issues</i>
<i>Control of nanostructures and properties</i>	<p>Ability to pattern sub 20nm structures in resist or other manufacturing related patterning materials (resist, imprint, self assembled materials, etc.)</p> <p>Control of surfaces and interfaces</p> <p>Control of CNT properties, bandgap distribution and metallic fraction</p> <p>Control of stoichiometry and vacancy composition in complex metal oxides</p> <p>Control and identification of nanoscale phase segregation in spin materials</p> <p>Control of growth and heterointerface strain</p> <p>Ability to predict nanocomposite properties based on a “rule of mixtures”</p> <p>Data and models that enable quantitative structure-property correlations and a robust nanomaterials-by-design capability</p> <p>Control of interface properties (e.g., electromigration)</p>
<i>Control of self assembly of nanostructures</i>	<p>Placement of nanostructures, such as CNTs, nanowires, or quantum dots, in precise locations for devices, interconnects, and other electronically useful components</p> <p>Control of line width of self-assembled patterning materials</p> <p>Control of registration and defects in self-assembled materials</p>
<i>Characterization of nanostructure-property correlations</i>	<p>Correlation of the interface structure, electronic and spin properties at interfaces with low-dimensional materials</p> <p>Characterization of low atomic weight structures and defects (e.g., carbon nanotubes, graphitic structures, etc.)</p> <p>Characterization of spin concentration in materials</p> <p>Characterization of vacancy concentration and its effect on the properties of complex oxides</p> <p>3D molecular and nanomaterial structure property correlation</p>
<i>Characterization of properties of embedded interfaces and matrices</i>	<p>Characterization of the electrical contacts of embedded molecule(s)</p> <p>Characterization of the roles of vacancies and hydrogen at the interface of complex oxides and the relation to properties</p> <p>Characterization of transport of spin polarized electrons across interfaces</p> <p>Characterization of the structure and electrical interface states in complex oxides</p>
<i>Compatibility with CMOS processing</i>	<p>Integration for device extensibility</p> <p>Material compatibility and process temperature compatibility</p>
<i>Fundamental thermodynamic stability and fluctuations of materials and structures</i>	<p>Geometry, conformation, and interface roughness in molecular and self-assembled structures</p> <p>Device structure-related properties, such as ferromagnetic spin and defects</p> <p>Dopant location and device variability</p>

表6のリストにあげられた困難な技術課題は、この章で取上げている ERM の進展を制限することになるだろう。十分な測定・解析技術の発達は、異なるデバイス構造や応用環境のもとでの、材料最適化や性能予測解析を可能にするのに必要になる。それゆえ、材料合成とキャラクタリゼーション、モデリングに関するコミュニテ

イ間の共同研究の重要性は、何度言っても言い過ぎることは決してないだろう。材料の進歩には、合成条件、得られた組成やナノ構造、それらの材料の機能的特性への影響などの間にある、相互の関係を理解する必要がある。そこで、測定・解析法は、組成と構造、機能的特性間の関係を証明するのに十分な位に定量的でなければならない。さらに言えば、それはモデルの効果の確認を可能にし、要求される材料特性のデザインや最適化を加速する助けにならなければならない。ERM のモデルや可能性のある応用の開発加速するための知識ベースを確立する際、妥当なモデルへのニーズは、実験研究者と理論研究者の間の強い連携を必要とする。

フロントエンドプロセス

新規事項

等価スケールリングによる継続的な性能改善が「材料律速デバイス・スケールリング」としてフロント・エンド・プロセスに記述されている。伝統的なトランジスタと、キャパシタの構成材料であるシリコンやシリコン酸化膜およびポリシリコンは根本的な材料的限界に突き当たり、継続的なスケールリングには新材料の導入が必要となっている。さらに、ノンプレーナ・マルチゲート・デバイスのようなデバイス構造を実現する新しい手法が、今後の性能スケールリングには必要であると考えられる。

材料律速のデバイス・スケールリングは、シリコン・ウェーハ基板に始まり、基本的なプレーナ型 CMOS 作製ブロックやメモリ記憶素子構造を含む、殆ど全てのフロントエンド材料やユニットプロセスに新たな要求を突き付けている。さらに、プレーナ型バルク CMOS の終焉は、この数年以内に起こりつつある。その影響で、私たちは、従来型とは異なる MOSFETs や、その代替手段としてプレーナ完全空乏型 SOI(FDSOI)デバイスや平面内に配置された縦型のダブルゲート又はマルチゲート型デバイスのどちらかを使用する CMOS 技術の出現に準備しておくべきである。従来型とは異なる MOSFET デバイスが製造開始されるのは、FDSOI が 2010 年、マルチゲートは 2011 年と推測される。これらの様々な新材料と構造のインテグレーションに関する挑戦は、“FEP difficult challenges”の主要なテーマである。

シリコン酸化膜ゲート絶縁材料の延命と歪み印加による高移動度チャネルの導入により、high-k が必要となる時期が遅れていた。しかしいよいよ、主要メーカーが high-k ゲート絶縁膜の製造を 2008 年に開始すると推測されている。移動度向上と(短チャネル効果を抑制するために接合深さの過度なスケールリングを必要とする)チャネル長スケールリングは、デバイス性能を向上し続けると考えられる。適切な仕事関数を持つデュアル・メタルゲートは、現在の CMOS 技術の主要構成要素であるデュアル・ポリシリコン・ゲートに替わり、2008 年に主要メーカーによって生産が開始されると推測されている。

また、新材料の導入は、ドーピングやシリコンの活性化に使用してきた手法に対して新たな挑戦を課すと予想される。スケールリングによる極浅高活性接合を形成するための必要性に加えて、殆どの high-k 材料で考慮しなければならない耐熱性の制限により、ドーパント活性化の熱負荷について新しい領域が必要となると推測される。最悪な場合のシナリオとして、これらの材料の導入は、全ての CMOS プロセス設計に重大な影響を与える可能性がある。

メモリ領域では、high-k 材料は現在、スタック及びトレンチ DRAM キャパシタの両方で使用されている。DRAM のスタック・キャパシタでは現在、金属-絶縁体-金属(MIM)構造が使用されており、トレンチ・キャパシタも 2010 年までには MIM 構造へ移行すると推測される。次にフローティング・ゲート・フラッシュメモリにおいて、high-k 材料は、インターポリ絶縁膜として 2010 年までに、トンネル絶縁膜として 2013 年までに必要になると予想される。次に FeRAM に関して、強誘電体と強磁性体からなる記憶材料が用いられた重要な製品が出荷されると考えられる。主な製造工程へのこれらの様々な材料の導入は、重要な“Difficult challenge”であると見受けられる。さらに、相変化メモリ(PCM)デバイスが 2010 年までに商業出荷されると予想される。

スターティング・ウェーハの領域では、silicon-on-insulator 基板の様なバルク・シリコンの代替材料の必要性が激増すると予想される。さらに、主には IC 製造プロセスへの付加価値のある改善を通して達成され続けるかもしれないが、歪みシリコン技術の様々な形態が導入される可能性がある。また、Roadmap の展望に現れると予想される主な“Difficult challenge”は、次世代 450 mm シリコン基板の潜在的必要性である。歴史的な大口径化サイクルを基にすると、2012 年のデバイス生産開始に対して次世代 450mm シリコン基板を間に合わせるのに必要なペースから業界は数年遅れている。

フロント・エンドの洗浄工程は、high-k 材料やメタル・ゲート電極、移動度向上チャネル材料の様な新しいフロント・エンド材料の導入により、影響を受け続けると考えられる。微細化されたデバイスはますます浅い領域に形成されるため、基板材料除去や形状制御処理について、洗浄を完全に優しい工程にする必要があると予想される。また、スケールリングされた新しいデバイス構造体は剛性がますます低くなり、使用される可能性のある洗浄工程の物理的な積極性を制限すると予想される。また、キラーとなる欠陥密度の評価と歩留まり予測実

現のために、ウェーハ表面上の 28 nm より小さい粒子を確実に検出する粒子計測技術に対する挑戦が存在する。

困難な挑戦

Table ITWG7 Front End Processes Difficult Challenges

<i>Difficult Challenges ≥ 22 nm</i>	<i>Summary of Issues</i>
Starting Materials	1.5 mm edge exclusion FDSOI Si and buried oxide thickness control SOI defectivity levels Full production of 450 mm wafer size
Surface Preparation	Critical surface particle size below 28 nm not measurable on wafer Ability to achieve clean surfaces while controlling material loss and surface damage
Thermal/Thin Films/Doping/Etch	Introduction of high-k/metal gate into high performance (HP) and low operating/low standby power (LOP/LSTP) and equivalent oxide thickness (EOT) scaling below 0.8 nm Increasing device performance with strain engineering and applying it to FDSOI and multi-gate technologies Scaling extension junction depths below 10 nm while achieving high dopant activation Achieving manufacturable interfacial contact resistivities below $10^{-7} \Omega\text{-cm}^2$ to meet parasitic series resistance requirements Si thickness and control for FDSOI and Multi-gate Gate critical dimension control for physical gate length < 20 nm Introduction of new channel materials with high interface quality and low processing thermal budget
DRAM	Improvement of oxide etching capability for high aspect ratio (>40) storage node formation in stack capacitor and for oxide hardmask for high aspect ratio trench capacitor. Improvement of Si etching capability for high A/R (>90) trench capacitor formation. Continued scaling of stacked and trench capacitor dielectric T_{eq} below 0.5 nm Continued scaling of physical dielectric thickness (t_{phys}) while maintaining high dielectric constant (>90) and low leakage current of dielectric
Non-volatile Memory	Scaling of IPD T_{eq} to <6Å for NAND and NOR Scaling of tunnel oxide thickness to <8Å for NOR Scaling of STI fill aspect ratio to >9 starting for NAND PCM material conformality of ≥90% PCM minimum operating temperature of 125°C PCM resistivity change and reset current density Integration and scaling of FeRAM ferroelectric materials Continued scaling of FeRAM cell structure
<i>Difficult Challenges < 22 nm</i>	<i>Summary of Issues</i>
Starting Materials	1.5 mm edge exclusion FDSOI Si and buried oxide thickness control SOI defectivity Surface particles
Surface Preparation	Surface particles not measurable Ability to achieve clean surfaces while controlling material loss and surface damage Metrology of surfaces that may be horizontally or vertically oriented relative to the chip surface Achievement of statistically significant characterization of surfaces and interfaces that may be horizontally or vertically oriented relative to the chip surface Achievement and maintenance of structural, chemical, and contamination control of surfaces and interfaces that may be horizontally or vertically oriented relative to the chip surface
Thermal/Thin Films/Doping/Etch	Continued scaling of HP multigate device in all aspects: EOT, junctions, mobility enhancement, new channel materials, parasitic series resistance, contact silicidation. Continued EOT scaling below 0.7 nm with appropriate metal gates Gate CD Control
DRAM	Continued scaling of capacitor structures for both stacked and trench type as well as continued scaling of dielectric thickness
Non-volatile Memory	Floating gate Flash technology considered unscalable beyond 22 nm—new Flash NVM technology will be required Continued scaling of phase change memory technology Continued scaling of FeRAM technology

リソグラフィ

困難な挑戦

Table ITWG8 *Lithography Difficult Challenges*

<i>Difficult Challenges ≥ 32 nm*</i>	<i>Summary of Issues</i>
Optical masks with features for resolution enhancement and post-optical mask fabrication	Registration, CD, and defect control for masks
	Equipment infrastructure (writers, inspection, metrology, cleaning, repair) for fabricating masks with sub-resolution assist features
	Understanding polarization effects at the mask and effects of mask topography on imaging and optimizing mask structures to compensate for these effects
	Eliminating formation of progressive defects and haze during exposure
	Determining optimal mask magnification ratio for <32 nm half pitch patterning with 193 nm radiation and developing methods, such as stitching, to compensate for the potential use of smaller exposure fields
	Development of defect free 1× templates
Cost control and return on investment	Achieving constant/improved ratio of exposure related tool cost to throughput over time
	Cost-effective resolution enhanced optical masks and post-optical masks, and reducing data volume
	Sufficient lifetime for exposure tool technologies
	Resources for developing multiple technologies at the same time
	ROI for small volume products
Process control	Stages, overlay systems and resist coating equipment development for wafers with 450 mm diameter
	Processes to control gate CDs to < 1.3 nm 3σ
	New and improved alignment and overlay control methods independent of technology option to <5.7 nm 3σ overlay error
	Controlling LER, CD changes induced by metrology, and defects < 10 nm in size
	Greater accuracy of resist simulation models
	Accuracy of OPC and OPC verification, especially in presence of polarization effects
Immersion lithography	Control of and correction for flare in exposure tool, especially for EUV lithography
	Lithography friendly design and design for manufacturing (DFM)
	Control of defects caused in immersion environment, including bubbles and staining
	Resist chemistry compatibility with fluid or topcoat and development of topcoats
	Resists with index of refraction > 1.8
EUV lithography	Fluid with refractive index > 1.65 meeting viscosity, absorption, and fluid recycling requirements
	Low defect mask blanks, including defect inspection with < 30 nm sensitivity and blank repair
	Resist with < 3 nm 3σ LWR, < 10 mJ/cm ² sensitivity and < 40 nm ½ pitch resolution
	Source power > 180 W at intermediate focus, acceptable utility requirements through increased conversion efficiency and sufficient lifetime of collector optics and source components
	Fabrication of optics with < 0.10 nm rms figure error and < 10% intrinsic flare
	Controlling optics contamination to achieve > five-year lifetime
Double patterning	Protection of masks from defects without pellicles
	Overlay of multiple exposures including mask image placement, mask-to-mask matching, and CD control for edges defined by two separate exposures
	Availability of software to split the pattern, apply OPC, and verify the quality of the split while preserving critical features and maintaining no more than two exposures for arbitrary designs
	Availability of high productivity scanner, track, and process to maintain low cost-of-ownership
	Photoreists with independent exposure of multiple passes
	Fab logistics and process control to enable low cycle time impact that include on-time availability of additional reticles and efficient scheduling of multiple exposure passes

*Lithography challenges ≥32nm versus the convention of the 2007 ITRS for challenges of ≥22nm will be reviewed in the 2008 Update.

Table ITWG8 *Lithography Difficult Challenges (continued)*

<i>Difficult Challenges < 32 nm*</i>	<i>Summary of Issues</i>
Mask fabrication	Defect-free masks, especially for 1× masks for imprint and EUVL mask blanks free of printable defects
	Timeliness and capability of equipment infrastructure (writers, inspection, metrology, cleaning, repair), especially for 1× masks
	Mask process control methods and yield enhancement
	Protection of EUV masks and imprint templates from defects without pellicles
	Phase shifting masks for EUV
Metrology and defect inspection	Resolution and precision for critical dimension measurement down to 6 nm, including line width roughness metrology for 0.8 nm 3σ
	Metrology for achieving < 2.8 nm 3σ overlay error
	Defect inspection on patterned wafers for defects < 30 nm, especially for maskless lithography
	Die-to-database inspection of wafer patterns written with maskless lithography
Cost control and return on investment	Achieving constant/improved ratio of exposure-related tool cost to throughput
	Development of cost-effective optical and post-optical masks
	Achieving ROI for industry with sufficient lifetimes for exposure tool technologies and ROI for small volume products
Gate CD control improvements and process control	Development of processes to control gate CD < 0.9 nm 3σ with < 1.2 nm 3σ line width roughness
	Development of new and improved alignment and overlay control methods independent of technology option to achieve < 2.8 nm 3σ overlay error, especially for imprint lithography
	Process control and design for low k1 optical lithography
Resist materials	Resist and antireflection coating materials composed of alternatives to PFAS compounds
	Limits of chemically amplified resist sensitivity for < 32 nm half pitch due to acid diffusion length
	Materials with improved dimensional and LWR control

**Lithography challenges <32nm versus the convention of the 2007 ITRS for challenges of <22nm will be reviewed in the 2008 Update.*

配線

新規事項

過去 40 年間にわたって、従来のメタルと絶縁膜からなる配線の主たる推進力は、技術のスケールリングと、高性能化の要求であった。この期間に、配線は単層 Al/SiO₂ 構造から、現在の7層 Cu/Low- κ 構造に至るまで発達を遂げてきた。短期的には、配線の最も困難な技術課題は、配線導電率の要求を満たし、絶縁膜誘電率を低減できる新しい材料を導入することにある。将来、実効 κ の低減要求からダマシ構造でトレンチエッチストップ膜が使用できなくなる。これは、メタル配線の RC ばらつきを抑えるためにパターン形成、エッチング、平坦化などを厳密に制御することの、もうひとつの障害になっている。22nm 以下では、結晶粒界や絶縁膜との界面で生じる電子散乱のような寸法効果によって、Cu の実効抵抗は増加し続けるであろう。ウルトラ Low-k 絶縁膜はある限られた領域でエアギャップに置き換えられるかもしれない。MPU ピッチのスケールリングが加速されて、Cu のエレクトロマイグレーションの問題が悪化した。Jmax 値が Cu を覆う絶縁膜キャップ技術に制約される状況は 2010 年を越えても続くであろう。CuSiN を形成することによる Cu 表面改質、Cu-Al などの合金化、CoWP などの選択メタルキャップ適用が必要になる。

しかし、性能改善のため材料を変更したとしても、1.0 μ m 程度の Al/SiO₂ 技術でトランジスタの遅延が \sim 20ps に対し 1mm 長の配線の RC 遅延が \sim 1.0ps であったが、計画中の 35nm の Cu/low- κ 技術ではトランジスタの遅延が \sim 1.0ps に対し 1mm 長の配線の RC 遅延が \sim 250ps になることから、スケールリングから生じる配線技術の困難さを窺い知ることができる。加えて、ハーフピッチ 130nm においてはマイクロプロセッサのおよそ 51% の電力が配線で消費されていたが、設計思想を変えずに計画を進めると、5 年後にはマイクロプロセッサの 80% 近くの電力が配線構造体で消費されることになるだろう。配線でダイナミック消費電力の重要性が増大していることに気づいて、2006 年の MPU と ASIC 技術要求表には新しく電力計量値が加えられた。電力計量値は周波数 1GHz 当たり、配線層 1cm² 当たりで消費される電力(ワット)で示される。電力計量値は low- κ 絶縁膜を積極的に導入することによって長期間一定に保たれているように見えるけれども、配線構造体で消費される電力は周波数と配線層数の増大によって今後も激しく増加し続けるであろう。

性能と電力に対する配線の影響がこのように劇的に増大していることから、従来のメタル/絶縁膜システムの微細化が挑戦的な課題を生んでいることは明白である。ここ数年、IC 製造メーカーは、製造技術だけに頼って配線性能や電力の問題に取り組むことは困難と認識するようになった。その代わりに、設計やアーキテクチャの改善によって配線制約の解決を図ろうとしている。しかし、これらが前進したとしても、配線は多くのデバイス応用において非常に苦しい隘路事項を残す。これは、配線の問題を解決する代替策を導入し発展させるための好機がますます高まっている。従来のメタル/絶縁膜システムにおける電力と性能の幾つかの問題を解決していくことに加えて、代替となる配線技術は機能の多様化を生むような潜在能力を与える。例えば、光配線では、1本の導波路で波長の多重化(wavelength-division multiplexing (WDM))を使うかもしれない。これによって、グローバル配線に高帯域密度を与えるだけでなく、現在できることに比べて革新的な信号処理機能を使うことができる最適経路決定の可能性が与えられる。このように大切な時期にあることを認めて、2007 ITRS 配線ロードマップには、三次元チップ/ウェーハ積層(3DIC)、光配線、カーボンナノチューブ(CNT)といった挑戦的な課題を、元からある節に書き加えた。

困難な技術課題

Table ITWG9 Interconnect Difficult Challenges

<i>Difficult Challenges ≥ 32 nm</i>	<i>Summary of Issues</i>
Introduction of new materials to meet conductivity requirements and reduce the dielectric permittivity*	The rapid introductions of new materials/processes that are necessary to meet conductivity requirements and reduce the dielectric permittivity create integration and material characterization challenges.
Engineering manufacturable interconnect structures compatible with new materials and processes*	Integration complexity, CMP damage, resist poisoning, dielectric constant degradation. Lack of interconnect/package architecture design optimization tool
Achieving necessary reliability	New materials, structures, and processes create new chip reliability (electrical, thermal, and mechanical) exposure. Detecting, testing, modeling and control of failure mechanisms will be key.
Three-dimensional control of interconnect features (with it's associated metrology) is required to achieve necessary circuit performance and reliability.	Line edge roughness, trench depth and profile, via shape, etch bias, thinning due to cleaning, CMP effects. The multiplicity of levels combined with new materials, reduced feature size, and pattern dependent processes create this challenge.
Manufacturability and defect management that meet overall cost/performance requirements	As feature sizes shrink, interconnect processes must be compatible with device roadmaps and meet manufacturing targets at the specified wafer size. Plasma damage, contamination, thermal budgets, cleaning of high A/R features, defect tolerant processes, elimination/reduction of control wafers are key concerns. Where appropriate, global wiring and packaging concerns will be addressed in an integrated fashion.
<i>Difficult Challenges < 32 nm</i>	<i>Summary of Issues</i>
Mitigate impact of size effects in interconnect structures	Line and via sidewall roughness, intersection of porous low-k voids with sidewall, barrier roughness, and copper surface roughness will all adversely affect electron scattering in copper lines and cause increases in resistivity.
Three-dimensional control of interconnect features (with it's associated metrology) is required	Line edge roughness, trench depth and profile, via shape, etch bias, thinning due to cleaning, CMP effects. The multiplicity of levels, combined with new materials, reduced feature size and pattern dependent processes, use of alternative memories, optical and RF interconnect, continues to challenge.
Patterning, cleaning, and filling at nano dimensions	As features shrink, etching, cleaning, and filling high aspect ratio structures will be challenging, especially for low-k dual damascene metal structures and DRAM at nano-dimensions.
Integration of new processes and structures, including interconnects for emerging devices	Combinations of materials and processes used to fabricate new structures create integration complexity. The increased number of levels exacerbate thermomechanical effects. Novel/active devices may be incorporated into the interconnect.
Identify solutions which address global wiring scaling issues*	Traditional interconnect scaling will no longer satisfy performance requirements. Defining and finding solutions beyond copper and low k will require material innovation, combined with accelerated design, packaging and unconventional interconnect.

* *Top three challenges*

CMP—chemical mechanical planarization DRAM—dynamic random access memory

ファクトリーインテグレーション

困難な技術課題

ファクトリーインテグレーションの困難な技術課題を、多世代の技術と5つの技術推進領域に関連させてまとめた。これらの挑戦課題への対応は、多くの工場を跨いだ運用がバラバラになるのを最小化するため、しばしば産業上の問題の技術導入と関連している。工場に対する短期の課題はビジネスや技術、必要最低限の経済課題を含んでいる。

Table ITWG10 Factory Integration Difficult Challenges

困難な技術課題 22nm 以上	論点の要約
<p>急激に変化する複雑なビジネス要求対応</p>	<p>多くのビジネスモデルの並存 (IDM、ファウンドリ、ファブレス、ジョイントベンチャ、協業、アウトソーシングなど) をファクトリーインテグレーションで考慮する必要性</p> <p>新製品や量産製品の納期短縮要求の増大</p> <p>設計から製造までのトータルなプロセス統合の改善の必要性</p> <p>早い設計→プロトタイプの繰り返しとパイロット→量産</p> <p>アウトソーシング生産操業に対する顧客への可視性の拡大</p> <p>急激な環境変化の中で競争力を保つための、工場の立上げ期間や、装置、プロセスの立上げ期間の短縮</p> <p>ニーズが急激に変化する多品種 SOC における 30 種以上のマスクを使うシステム構築</p> <p>ビジネス要求の変化によって必要になる急な、たびたびの計画変更</p> <p>工場のアウトプットを最適化や多品種のサイクルタイム短縮のための工場能力モデリング力</p> <p>工場の収益性を高く保つための装置への定常的な製品着工調整能力</p> <p>異なる工場群の要求を共有するための製造知識と制御情報の必要性</p>
<p>マージンが減少している中で難しくなっている高次目標の達成</p>	<p>コスト目標にマッチングするため、上昇するウェーハ、組み立てやその他の材料コストへの影響</p> <p>立上げ時点で、高歩留をより早く達成</p> <p>品質確認のコストを増加させないで、複雑化しているプロセスに対応</p> <p>サプライチェーンに跨る複雑性やムダの削減</p> <p>製品ウェーハに匹敵する量の非製品ウェーハ (NPW: Non-Product Wafers) による非効率性</p> <p>手に入る価格にしようとしている新規設計のマスクセットの高コスト、長納期</p> <p>製造の非効率に起因するマスクや装置問題の増加</p>

	<p>マスクセットを共有化する挑戦</p> <p>チップサイズやコスト効果のために年当たり 70%の割合でシュリンクしているトランジスタのトレンドを保つ難しさ</p>
工場の複雑性の増大管理	<p>プロセス技術の急激な変化に対応した、すばやく、効果的な統合</p> <p>キャリアへの品種混載、ウェーハへの製品混載、組み立てでの要素機能混載の管理</p> <p>プロセスや材料に対する増加する清浄度の要求の把握</p> <p>同一工場にアルミと銅が流れる要求</p> <p>複数のプロセスと製品が流れると同時に、プロセス工程数の増加</p> <p>増加する高い相関関係にある新旧のシステム群を同時に管理する要求</p> <p>プロセスとモデリングの要求によって爆発的に増加しているデータ収集と解析要求</p> <p>多品種工場における要求の増加。例としては、小ロットサイズに対応した高頻度のレシピをとまなう複雑なプロセス制御やプロセス装置の変更、高頻度の品質管理</p>
工場や装置のロードマップに沿った信頼性、性能や生産性の達成	<p>プロセス装置の有用性、稼働率、利用性目標がロードマップ目標未達成</p> <p>工場の運用を保つための装置やシステムの個別や統合化された信頼性</p> <p>密接に統合化された複雑な工場において一つの問題が及ぼす影響の増大</p> <p>装置プロセス性能不安定性や NPW の要求の改善のための製造装置内蔵コントローラの品質課題</p> <p>最適化や問題の改善をするために装置や工場の有用性をはかるデータの欠如</p> <p>工場の能力計画やサプライチェーンマネジメントシステムは、実際の工場データが起こすエラーによって連続的になら</p> <p>45nm 以降での多くのプロセスモジュールにおいて、プロセス設計余裕や厳しいプロセス制御目標もたらすプロセス制御の困難性</p> <p>古い非効率なシステムから新しい効率的なシステムへの移行を妨げているマイグレーションパスの欠如</p>

Table ITWG10 Factory Integration Difficult Challenges (continued)

困難な技術課題 22nm 未満	論点の要約
生産性の良い最先端の工場の柔軟性、多世代活用性、拡張性要求の達成	<p>装置、ファシリティ、スキルを再利用しながら、新しいプロセス技術に対してすばやく切り替える要求</p> <p>新しい技術に工場を切り替えるときに、工場の稼働ダウンの最小限化</p> <p>40K から 50 k 枚/月の 300mm 工場に達成するための拡張的立上げ</p>

	<p>スループットとサイクルタイムの継続的改善</p> <p>多世代の技術世代に跨る、建屋、製造・サポート装置や工場の情報・制御システムの再利用</p> <p>EFS（多世代活用性、柔軟性、拡張性）を実現するまでの先行投資の理解</p> <p>プロセスや材料の清浄度要求の把握</p> <p>産業界の要求に合った標準化早さの加速</p>
<p>32nm 世代の量産規模でのプロセス要求の達成</p>	<p>多くのプロセスモジュールにおいて、32nm 世代のプロセスのバラツキに対する許容限界やプロセス目標達成の困難さは、プロセス制御の難しさを増加させている。</p> <p>工場への次世代リソグラフィ装置統合化の複雑さ</p> <p>微細化のための包括的な開発・量産の計画</p> <p>デバイスやプロセスの複雑性は、特定のプロセス領域の問題のトレース機能を難しくしている。</p> <p>制御条件とサイクルタイムの目標を保ちながら、それぞれのウェーハに対して違うプロセスパラメータを実行することの困難さ</p> <p>パラメータ多様性の影響の減少</p>
<p>環境課題でのグローバルな制限</p>	<p>異なる地域での規制対応への必要性</p> <p>ビジネスの必要性に対しながら、いくつかの国における技術的制限事項に対応する必要性</p> <p>厳しい ESH 法規要求の把握</p> <p>鉛などの除外化学物質や制限された材料</p> <p>新材料の導入</p>
<p>現在の CMOS プロセス以降における製造の不確かさ</p>	<p>従来の CMOS に代わる新しいデバイスのタイプの不確実性やそれらの製造がもたらす工場設計への影響</p> <p>低いリスクでの移行ができるため、新デバイスの特定、プロセス技術や工場設計の創造の時間的不確実性</p> <p>与えられたチップサイズやコスト目標のために、70%のトランジスタシユリンクを毎年続ける潜在的困難性</p> <p>同一工場でも CMOS も次世代のデバイスも流せる必要性</p>
<p>発展段階の工場の論理的枠組みと次のウェーハサイズへの移行</p>	<p>30%のコスト効果を達成するための 450mm の切り替え時期や 300mm ウェーハ工場能力の不確実性</p> <p>450mm ウェーハサイズ切り替えに、キャリアが、現在 25 枚の方式を取らないことがある。また、製造装置や搬送に重大な影響がでる。</p> <p>可能なコストで 450mm への移行を可能とするために、どのように建屋、装置、システムの再使用を行うかの不確実性</p>

アセンブリーパッケージ (ASSEMBLY AND PACKAGING)

困難な技術課題

現在、パッケージ技術が多くの種類のデバイスのコストと性能の制限因子であるという認識から、A&Pの革新は加速している。短期の困難な技術課題は、設計から製造、テスト、信頼性に渡るA&Pプロセスの全ての段階で存在する。

今後解決すべき重大な技術要求を下記の Table ITWG11 に示す。これらの要求を解決するには、研究開発への重要な投資が必要となるだろう。

Table ITWG11 Assembly and Packaging Difficult Challenges

<i>Difficult Challenges ≥22 nm</i>	<i>Summary of Issues</i>
Impact of BEOL including Cu/low κ on packaging	<ul style="list-style-type: none"> -Direct wire bond and bump to Cu or improved barrier systems bondable pads - Dicing for ultra low k dielectric -Bump and underfill technology to assure low-κ dielectric integrity including lead free solder bump system -Improved fracture toughness of dielectrics- -Interfacial adhesion -Reliability of first level interconnect with low κ -Mechanisms to measure the critical properties need to be developed. -Probing over copper/low κ
Wafer level CSP	<ul style="list-style-type: none"> -I/O pitch for small die with high pin count -Solder joint reliability and cleaning processes for low stand-off -Wafer thinning and handling technologies -Compact ESD structures -TCE mismatch compensation for large die
Coordinated design tools and simulators to address chip, package, and substrate co-design	<ul style="list-style-type: none"> -Mix signal co-design and simulation environment -Rapid turn around modeling and simulation -Integrated analysis tools for transient thermal analysis and integrated thermal mechanical analysis -Electrical (power disturbs, EMI, signal and power integrity associated with higher frequency/current and lower voltage switching) -System level co-design is needed now. -EDA for “native” area array is required to meet the Roadmap projections. -Models for reliability prediction
Embedded components	<ul style="list-style-type: none"> -Low cost embedded passives: R, L, C -Embedded active devices -Quality levels required not attainable on chip -Wafer level embedded components

Thinned die packaging	<ul style="list-style-type: none"> - Wafer/die handling for thin die - Different carrier materials (organics, silicon, ceramics, glass, laminate core) impact -Establish infrastructure for new value chain -Establish new process flows -Reliability -Testability -Different active devices -Electrical and optical interface integration
-----------------------	--

Table ITWG11 Assembly and Packaging Difficult Challenges (continued)

<i>Difficult Challenges ≥ 22 nm</i>	<i>Summary of Issues</i>
Close gap between chip and substrate Improved organic substrates	<ul style="list-style-type: none"> -Increased wireability at low cost -Improved impedance control and lower dielectric loss to support higher frequency applications -Improved planarity and low warpage at higher process temperatures -Low-moisture absorption -Increased via density in substrate core -Alternative plating finish to improve reliability -Solutions for operation temp up to C5-interconnect density scaled to silicon (silicon I/O density increasing faster than the package substrate technology) -Production techniques will require silicon-like production and process technologies after 2005 -Tg compatible with Pb free solder processing (including rework at 260°C)
High current density packages	<ul style="list-style-type: none"> -Electromigration will become a more limiting factor. It must be addressed through materials changes together with thermal/mechanical reliability modeling. -Whisker growth -Thermal dissipation
Flexible system packaging	<ul style="list-style-type: none"> -Conformal low cost organic substrates -Small and thin die assembly -Handling in low cost operation
3D packaging	<ul style="list-style-type: none"> -Thermal management -Design and simulation tools -Wafer to wafer bonding -Through wafer via structure and via fill process -Singulation of TSV wafers/die - Test access for individual wafer/die -Bumpless interconnect architecture
<i>Difficult Challenges < 22 nm</i>	<i>Summary of Issues</i>
Package cost does not follow the die cost reduction curve	<ul style="list-style-type: none"> -Margin in packaging is inadequate to support investment required to reduce cost -Increased device complexity requires higher cost packaging solutions

<p>Small die with high pad count and/or high power density</p>	<p>These devices may exceed the capabilities of current assembly and packaging technology requiring new solder/UBM with:</p> <ul style="list-style-type: none"> -Improved current density capabilities -Higher operating temperature
<p>High frequency die</p>	<ul style="list-style-type: none"> -Substrate wiring density to support >20 lines/mm -Lower loss dielectrics—skin effect above 10 GHz -“Hot spot” thermal management <p>There is currently a “brick wall” at five-micron lines and spaces.</p>
<p>System-level design capability to integrated chips, passives, and substrates</p>	<ul style="list-style-type: none"> -Partitioning of system designs and manufacturing across numerous companies will make required optimization for performance, reliability, and cost of complex systems very difficult. -Complex standards for information types and management of information quality along with a structure for moving this information will be required. -Embedded passives may be integrated into the “bumps” as well as the substrates.
<p>Emerging device types (organic, nanostructures, biological) that require new packaging technologies</p>	<ul style="list-style-type: none"> -Organic device packaging requirements not yet defined (will chips grow their own packages) -Biological interfaces will require new interface types

TSV—through silicon via

環境・安全・健康(ESH)

新規事項

- ESH Tables は完全に書き直された
- 2007/8 の要件が、主として ESH の基準ラインを設定と相対的改良の尺度の置き換えに集中している
- ケミカル/材料テーブルとプロセステーブルは現在、初期の化学物質選択とプロセス・パラメータそれぞれの ESH 目標を反映している(プロセステーブルは 2005 年から新しい)
- 2007 年の追加において ERM の要求事項と新規装置デザイン部を含んでいる
- すべての基準は適切な範囲で評価と、アップデートを行った
- ポテンシャルソリューションテーブルに、解決指向の、以前に技術的要求事項テーブルに含まれていた解決策要素を組み込んだ

困難な技術課題

Table ITWG12 Environment, Safety, and Health Difficult Challenges

22nm 以前の困難な技術課題	要点
化学物質と材料の管理	<p><i>化学物質のアセスメント</i> プロセスの稼動を遅延させずにしかも人間の健康や安全、環境を損ねることなく、製造に利用されるナノ材料の様な新しい化学物質を製造に使用し得ることを保証する迅速なアセスメント方法の評価及び質の改善 地域間における化学物質に関する規制の差異(地域的な R&D の動向、試作段階か完全な商品化段階化なのか) 暴露制限の下限値とモニタリングの動向</p>
	<p><i>化学物質データの有効性</i> 特にナノ材料のような材料の将来的な制限や禁止の対する予期/予測の困難性 化学物質の使用に対して増大する国際的、地域的要請に対応するための新しい販売化学物質や材料に 対する総合的な ESH データの欠如</p>
	<p><i>化学物質の暴露管理</i> どのように化学物質や材料を使用するか、どんな工程副生成物が作られるかという情報の欠如 どのように化学物質が使用され工程でどのような副産物が生成されるかに関する情報を得るための方法</p>
工程と製造装置の管理	<p><i>工程使用化学物質の最適化</i> 効果的でコスト効率の良い工程管理により、必要な化学物質の量を削減し、かつより安全な化学物質を使用することで技術的要請にも適い、人の健康と安全、そして環境への影響も低減する製造装置と プロセス開発の必要性</p>
	<p><i>環境管理</i> 一連の廃棄物の中で部材毎に分離する能力 工程で排出する物質の ESH 特性もしくは製造時の副生成物の適切な緩和策に関する理解の必要性 製造装置の再利用と廃棄、そして製造工程からの有害、非有害残渣物質に関連した問題に対応した効果的なマネジメントシステムを開発する必要性</p>
	<p><i>地球温暖化物質の排出量削減</i> 工程から排出される地球温暖化(GWP)物質の排出量削減の必要性</p>
	<p><i>水とエネルギーの節約</i> 新たなエネルギーを使用し、水の使用効率が高いプロセスと製造装置の必要性</p>
	<p><i>消費材の最適化</i> 化学物質と材料のより有効な利用、及び再利用とリサイクルの必要性</p>
	<p><i>副生成物の管理</i> 副生成物の特定とその測定方法の開発</p>

	<p><i>化学物質の暴露管理</i> 化学物質の暴露可能性と人を暴露から守る装置(PPE)設計の必要性</p> <p><i>メンテナンスに対応した設計</i> 通常の作業において供給される部品と消耗品に対して容易にまた安全に操作出来る装置設計の必要性 一人の人が安全にメンテナンスとサービスを実行出来る装置設計の必要性 メンテナンス作業中の健康と安全に関するリスクを最小化する必要性</p> <p><i>設備寿命</i> 設備の再使用と処分に関連する問題を扱うために有効なマネジメントシステムを開発する必要性</p> <p><i>節約</i> エネルギー、水、および他のユーティリティの使用を抑える必要性 クリーンルームとファシリテイシステムの、より効率的な熱管理の必要性</p>
ファシリテイ技術の要求事項	<p><i>地球温暖化物質の放出抑制</i> エネルギー効率の良い製造装置と製造施設を設計する必要性 トータルCO2として排出量を削減する必要性</p> <p><i>持続性の定量化</i> 技術の進化の持続性を定義し評価する要素を特定する必要性。</p>
持続性と製品の管理	<p><i>ESH に配慮した設計</i> 新しい製造装置、工程、及び製品を開発する場合に設計段階において ESH をパラメータにする必要性</p> <p><i>製品寿命での処理と再利用</i> ファシリテイ、装置、製粉が耐用年数となった場合、容易に処理と再使用が可能な設計をする必要性</p>

Table ITWG12 Environment, Safety, and Health Difficult Challenges (continued)

22nm 以降の困難な課題	要点
化学物質と材料の管理	<p><i>化学物質のアセスメント</i> プロセスの稼動を遅延させずにしかも人間の健康や安全、環境を損ねることなく、製造に利用されるナノ材料の様な新しい化学物質を製造に使用し得ることを保証する迅速なアセスメント方法の評価及び質の改善</p>
	<p><i>化学物質データの有効性</i> 化学物質の使用に対して増大する国際的、地域的要請に対応するための新しい販売化学物質や材料に対する総合的な ESH データの欠如</p>
	<p><i>化学物質の暴露管理</i> どのように化学物質や材料を使用するか、どんな工程副生成物が作られるかという情報の欠如</p>
	<p><i>化学物質の削減</i> 効果的でコスト効率の良い工程管理により、必要な化学物質の量を削減し、かつより安全な化学物質を使用することで技術的要請にも適い、人の健康と安全、そして環境への影響も低減するプロセス開発の必要性 地球温暖化係数の高い化学物質を使用する工程における排出量を削減する必要性</p>
工程と製造装置の管理	<p><i>環境管理</i> 工程で排出する物質の ESH 特性もしくは製造時の副生成物の適切な緩和策に関する理解の必要性 製造装置の再利用と廃棄、そして製造工程からの有害、非有害残渣物質に関連した問題に対応した効果的なマネジメントシステムを開発する必要性</p>
	<p><i>水とエネルギーの節約</i> 水使用量の削減と省エネの必要性 新たなエネルギーを使用し、水の使用効率が高いプロセスと製造装置の必要性</p>
	<p><i>消費材の最適化</i> 化学物質と材料のより有効な利用、及び再利用とリサイクルの拡大</p>
	<p><i>化学物質の暴露管理</i> 化学物質の暴露可能性と人を暴露から守る装置 (PPE) 設計の必要性</p>
	<p><i>メンテナンスに対応した設計</i> 一人作業で人が安全にメンテナンスとサービスを実行出来る装置設計の必要性 通常の作業において供給される部品と消耗品に対して容易にまた安全に操作出来る装置設計の必要性 メンテナンス作業中の健康と安全に関するリスクを最小にする必要性</p>
	<p><i>寿命を迎えた製造装置</i> 使用済み製造装置の再利用、処理に関連した問題に対応した効率的な管理システムの必要性</p>
	<p><i>節約</i> エネルギーと水使用量その他の用力(動力)を減らす必要性 クリーンルームとファシリテイシステムのより効率的な熱管理の必要性</p>
ファシリテイ技術の要求事項	<p><i>地球温暖化物質の放出抑制</i> エネルギー効率の良いファシリテイ支援装置と製造設備の設計の必要性 高 GWP 化学物質の使用による、プロセスからの排出削減の必要性</p>
	<p><i>持続性の定量化</i> 技術世代の持続性の定義と測定するための要素を特定する必要性 工場の構造基盤の水準においてその持続性を定義しそれを測定する要素を同定する必要性 工場インフラストラクチャ基盤水準においての ESH に配慮した設計を行うため持続性の定義とそれを測定するための要素を特定する必要性 工程、化学物質、及び全製造工程の製造装置の ESH に関する影響をトータルに評価し定量化する手法の必要性 新しい製造装置、工程、及び製品を開発する場合に ESH を設計パラメータにする必要性 耐用年数が切れた装置の処理と再利用 耐用年数が切れた場合の処理と再使用が容易なファシリテイ、製造装置及び製品を設計する必要性</p>
持続性と製品の管理	

歩留まり向上

困難な技術課題

歩留まり向上における技術的な課題に関しては表 ITWG13 にまとめてある。複数種類のキラー欠陥検出と並行する高検出率での欠陥分離、低所有コスト(CoO)、高スループットが歩留まり向上における最重要課題と認識されていた。現在、技術世代を規定するフィーチャーサイズが微細化するのと同様、もしくはそれ以上の早さで検出できる欠陥サイズを小さくすることが欠陥検出システムには期待されている。要求されるインライン検査での検出感度の高さが検出欠陥数の劇的な増大をもたらしている。高検出感度と同時に、装置の低 CoO のための高スループットも要求されている。これは、SN比の向上とは相反する要求である。きちんとした検出結果のためには、高感度と興味のある欠陥(DOI)に対する高検出率を両立させることが鍵となる。

ウェーハエッジとベベルの制御が最重要課題ではある。ウェーハエッジとベベルの欠陥とプロセスの不具合が歩留まりにインパクトを与えることが知られており、ウェーハ表/裏面のウェーハエッジ、ベベル、アペックスでの適当な検査方法の確立が重要課題である。この分野での欠陥検査の考え方、技術はともに開発中ではあるが、この数年間で実現しなければならない。

プロセスで使われる薬液中のコンタミネーションの種類とそのレベルを歩留りに関連付け、さらには要求される管理限界を決めるためにも、データ、TEG と手法の確立が必要である。この課題の問題は、それぞれのコンタミネーションがウェーハの歩留り、標準的な歩留りパラメトリックテストの結果とプロセスばらつき(管理限界)に重要な影響を与えるかを確認することである。基本的には、主要段階のプロセスでの不純物濃度とデバイスの歩留り、信頼性、性能との相関を理解することである。この相関関係から、汚染物質の限界の更なる増大が真に必要なものかが決定される。プロセスに用いられる物質の種類が増大と、性能向上のためにもっとも繊細なプロセスが要求されるようになるにつれ、この課題の複雑さは増大する。

効率的なシステムチック成因歩留り(SMLY)の理解も課題のひとつである。製品に組み込まれたもしくはテストフローに組織的に組み入れられた論理診断能力は、この課題の解決への重要な足がかりである。リソのプロセスウィンドウを横切るようなパターンの余裕のなさといった変則的特徴は、ロジック部分の SMLY に非常に効いてくる。ランダム欠陥由来の限界までは、製品に組み込まれたもしくはテストフローに組織的に組み入れられた論理診断能力によって SMLY を効果的に検出し、対策すべきである。異なる自動テストパターン生成(ATPG)の適応、論理診断に変換するのに必要な多量のテストベクトル記録がテスト時間の増加をもたらす自動テスト装置(ATE)、ダイ毎の論理診断時間、レイアウトに対応するシステムチック歩留りモデルを構築するための診断結果の統計的収集といった潜在的な問題点もある。

In-lineでの化学分析における走査型電子顕微鏡(SEM)、エネルギー分散型X線分光(EDX)の使用には、本来的な限界があり、興味ある欠陥が100nmより小さくなっている現状では、問題は拡大している。最も重要な限界はサンプリングできるボリュームで、原子間結合の情報を得るには不十分だし、電子線損傷の問題もある。そこで、In-lineでの基本的な分析においても、それなりの装置と技術が必要になる。微細化による、より小さいパーティクルの分析への必要性の増加により、軽元素に対する少量でのサンプリングでの分析に開発の焦点が絞られている。この課題は、“歩留まり向上”と“計測”にまたがる問題である。

Table ITWG13 Yield Enhancement Difficult Challenge

困難な技術課題 $\geq 22\text{nm}$ ノード	問題の内容
複数種類のキラー欠陥の検出/SN 比 — 高検出感度、低 CoO、高スループットを備えた複数キラー欠陥種と同時識別が必要。In-line 検査での高感度の必要性から欠陥検出数が増大している。膨大な問題の無い欠陥もしくは擬似欠陥から少量の歩留まり関連欠陥を見つけ出すことも課題のひとつである。	既存技術ではスループットと感度は相反関係にあるが、予想される欠陥レベルでは、スループットも感度も統計的なばらつきのためには必要。 CoO の観点から検査コストの低減とスループットの増大は必須。 CD サイズのパーティクルの検出法は存在しないかもしれない。 高感度、高スループット高精度の電氣的、物理的故障解析。 フィルタリングと自動欠陥識別(ADC)はノイズ低減の解決方法である可能性がある。 システムの感度向上のための、検査ユニット、サンプルからのバックグラウンドノイズの低減 欠陥をプロセスばらつきから識別するための SN 比の向上。 どこからプロセスばらつきで、どこまでが欠陥か？
ウェーハエッジとベベルの検査と管理 — ウェーハエッジとベベルにおける欠陥とプロセス不具合の検出による歩留まり低下の原因究明。	ウェーハ表/裏面のエッジ、ベベル、アッペクスでの生産適合した検査手法の確立。
プロセスの安定性に関する歩留まりと相関のとれた絶対値としてのコンタミネーションレベル — プロセスに使用する流体のコンタミネーションの種類、レベルを歩留まりと相関させたり管理限界を決めるための TEG、手法とデータが求められている。	標準的なテスト/製品の歩留りと液体/ガスの相関とその使用状況の把握のための計測手法。 コンタミネーション相違によるウェーハ歩留りに対する相対的重要性の差異。 歩留まり特性への影響に関する標準的なテストの定義。 最大プロセスばらつき(管理限界)の定義。
システムチック歩留まり低下とレイアウトの特徴との関連付け — リソプロセスウィンドウを横切るようなパターン余裕のなさといった変則的特徴は、ロジック部分の SMLY に非常に効いてくる。	SMLY については、製品に組み込まれたもしくはテストフローに組織的に組み入れられた論理診断能力によって効果的に検出し、対策すべきである。a) 異なる自動テストパターン生成(ATPG)の適応、b)論理診断に変換するのに必要な多量のテストベクトル記録がテスト時間の増加をもたらす自動テスト装置(ATE)、c)ダイ毎の論理診断時間、d)レイアウトに対応するシステムチック歩留まりモデルを構築するための診断結果の統計的収集といった潜在的な問題点もある。 テストパターン生成はプロセスとシステムチックな歩留まり低下をもたらすレイアウトの余裕の無さ(Hotspot)の関係を考慮し、きちんと包含しなければならない。
高アスペクトレシオ検査(HARI) — 高速で経済的な高アスペクトレシオ検査装置の要求は継続しており、暫定的な電子線を用いた検査装置はスループットと低コストの要求に適合しない。感度向上に伴い検出欠陥数は増大しており、膨大な欠陥から、歩留まりに関連するものを選び出すのが課題である。	ビア底から入って裏面に抜けて検出されるエネルギーの透過量が小さい。 高アスペクトレシオのコンタクト、ビア、トレンチ関連して基本サイズ(GR) 1/2 の大きさの欠陥のすばやい検出、特にこれらの構造の底にある欠陥の検出。 ウェーハ 1 枚あたりの大量な数のコンタクト、ビア。
技術的困難 $< 22\text{nm}$ ノード	問題の内容
In-line での欠陥特徴付けと解析 —	サンプリングは、SEM イメージに伴う表面損傷、欠損と同等の最低限のイン

<p>EDXの代わりとなる100nm以下の欠陥に対する In-line 欠陥検査解析の要求 [1]焦点は軽元素、微細化に伴うパーティクルサイズから考えられる少量サンプルとマイクロアナリシスである。</p>	<p>バクトしか許されない。 特に有機物における科学状態、結合状態の情報が供給されることが望ましい。 技術ノードに適合した微量試料解析技術。 パーティクルと基板からの信号の分離能力。</p>
<p>モデルに基づく設計製造インターフェイスの開発 - OPC とプロセスインテグレーションの複雑さから、モデルは特性に対する感度、超薄膜の完全性への感度、回路設計への感度を有し、より多くのトランジスタのパッケージに対応するものでなくてはならない。</p>	<p>新しい技術世代のための TEG の開発。 複雑なプロセスインテグレーション上の問題への対応。 超薄膜の完全性のモデル化。 増加するトランジスタ実装密度も含めたフロントエンドプロセスのためのスケールアップ方法の改善。</p>

計測

新規事項

計測は測定科学と定義される。ここ数年間、ITRS は CMOS の延命化と CMOS 後のナノスケール技術に眼を向けて産業界の統一見解を示してきた。ナノスケールの今日のトランジスタや配線形状は、計測やそれに関連するモデルにおける多くの基本的な仮定を変える新たな材料特性を示す結果となっている。2007 年の ITRS の計測のロードマップでは最小寸法の計測、重ね合わせ、フロントエンドや配線の膜、プロセス計測等の重要な計測の状況について議論をしている。また、新材料や新デバイスに向けた計測の必要性についても記述している。

ITRS の計測 TWG は、既存の CD 計測手法が 32 nm half pitch まで延命でき、22 nm half pitch の可能性もあり得ると判断した。重ね合わせ計測は、2重パターンングや2重露光プロセスが早いスピードで量産に移行した場合、新たな課題に直面することになる。High-k やメタルゲートの量産展開は 2009 年に先送りされたが、計測要求はプロセスに依存するため、その確立を待っている状況である。一つの重要な事例としては、high-k 膜中とその海面における窒素原子濃度や分布の計測が挙げられる。

プロセスによって高められた移動度を歪みとして計測する技術については、2007 年の計測のロードマップに詳細な調査内容が記述されている。TWG は、チャンネルにストレスを与えるプロセス手法の選択肢について、どれが最良であるかの合意形成が不足していると考えている。配線の計測やFEPの計測は双方共に、サイドウォールの膜厚をインライン計測したいという要求があるが、実現に至っていない。FinFET と配線のトレンチは、サイドウォールの計測を必要としている2つの良い事例である。将来の配線における計測の一部は、3次元配線やカーボンナノチューブの計測を含めた活動として調整する必要がある。

計測技術においては要求と見通しの間に大きな乖離があることを強調しておく。乖離は、CMOS extension と beyond CMOS の双方で存在する。具体的な乖離としては、ゲート、FINS、トレンチの密パターン構造のサイドウォール上の膜厚計測といった材料特性を計測するための計測能力が挙げられる。もう一つの乖離は、原子レベルでの材料特性の可視化や計測といった材料計測の基本的な課題に直面していることである。ここで、もっとも頻りに挙げられる目標は、3次元の原子レベルの分解能を有した計測技術を提供することである。一方、ある材料特性は、原子レベルに局在化していないという事実にも注目しなければならない。インライン計測における基本的な課題も、いずれ原子レベルの計測や制御に移行するであろうが、大量生産において十分コストの見合ったものである必要がある。

計測ロードマップでは長年に渡り、先行的研究・開発および計測装置メーカーの財政基盤を固めることの必要性を繰り返し述べてきた。計測とプロセス技術開発の関係を、根本的に再構築する必要がある。過去における計測の課題は、対象とするプロセス技術に先立って計測技術を開発することにあつた。今日の問題は、“材料が全く新しくなり デバイス設計が劇的に変わると言うのに、何が選ばれるかを予測できない”という予測の困難さである。“計測データ・計測情報”と、“最適なフィードバック、フィードフォワード、実時間プロセス制御”との相互作用を理解することが、計測とプロセス技術の関係を再構築するために非常に重要である。

スピニエレクトロニクスや分子エレクトロニクスといった、新たな技術の枠組みに必要な計測を取り扱うために、新たな節が計測のロードマップに付け加えられた。新探究材料や新探究デバイスの節に記述されている多種多様な材料やデバイスは、リソースや計測技術に大きな課題を投げかけている。例えば、分子エレクトロニクスに見られる柔らかな材料の観察(可視化)や計測は、ナノワイヤー、ナノチューブ、スピニエレクトロニクスで用いられる材料のそれとまったく異なっている。量子閉じ込めや量子サイズ効果の影響は表面状態と同様に材料の光学的・電氣的性質を変える。同じ物理量の測定に異なる測定法が必要なことは、本節と新探究材料および新探究デバイスの節で述べられる。

計測装置の開発を成功させるためには、“新材料や新構造の計測に使えるようにすること”が必要である。実用化するためには、“必要とされる標準試料の製作”および“生産に先立つ計測方法の開発”に最新の技術・設備を活用できるようにしなければならない。活用するためには、計測技術開発とプロセス開発との関係をより緊密にするための注意が要る。計測がプロセス装置およびプロセスに上手く適合していれば、試作ラインや生産

ラインの立上げ期間は短縮される。妥当な CoO(Cost Of Ownership)を維持しながら最大の生産性を得るためには、上手く設計・製作された装置と適切な計測を適当に組み合わせることが必要になる。

困難な課題

以下に挙げられている計測に関する短期的課題の多くは、22nm 技術世代以降も継続課題として残される。2015 年以降の計測ニーズは、これから明らかとなるであろう新材料および新プロセスの在り方に依りて変わる。従って、今後の計測ニーズを全て洗い出すことは難しい。パターン寸法の縮小、しきい値電圧やリーク電流のようなデバイスパラメータをより精密に制御すること、そして3次元配線のような新しい配線技術は、物理計測技術に大きな挑戦課題を与えることになるであろう。所望のデバイス・スケーリングを成し遂げるためには、原子スケールでの特性測定ができなければならない。表 ITWG14 に、計測の 10 大課題を示す。

Table ITWG14 Metrology Difficult Challenges

困難な技術課題 ≥ 22nm ノード	問題の内容
工場および会社規模での実時間/その場/組み込み/インラインの計測装置;頑丈なセンサ(robust sensors、訳者注:測定精度に余裕があり、環境の変動などに強いセンサ) およびプロセスコントローラの開発;センサの追加統合が可能なデータ管理。	プロセスコントローラおよびデータ管理の標準規格が必要である。大量な生データを歩留り向上に有用な情報に転換することが必要である。トレンチエッチング時の終点検出、イオン注入時のイオン種/エネルギー/ドーズ量(電流)、および RTA 処理時のウェーハ温度に対して、より良いセンサの開発が必要である。
シリコンウェーハ(starting materials)製造やデバイス製造での計測技術は SOI のような新しい基板の導入によって影響を受ける。シリコンウェーハで問題となる量の不純物検出(特に微粒子)、およびウェーハ周辺部の検査不能領域の削減。CD、膜厚、欠陥検査は薄い SOI の光学的性質や電子・イオンによる帯電によって影響を受ける。	現行のままでは、ロードマップの目標レベルを達成できない。極微小粒子の検出とサイズ分類が必要である。SOI ウェーハに対する性能向上が必要である。課題は、SOI 構造による余分な散乱と表面の品質に起因する。
二度露光のような新しいプロセス技術、メモリ素子の容量やコンタクト穴のような複雑な 3 次元構造、および 3 次元配線の制御は、急な導入に対して準備ができていない。	二度露光に対する重ね合わせ測定は、より厳しい制御要求になる。重ね合わせは CD を決める。3 次元配線は様々に多くの実現法がある。プロセス制御に必要なとされる新しいニーズが不明確である。たとえば、容量・デバイス・コンタクトを含めてトレンチ構造の 3 次元(CD と深さ)測定が必要であろう。
複雑な積層材料の測定、および界面における物理的性質や電氣的性質の計測。	制御された薄膜と界面層を含む新 high-k ゲート/容量誘電膜、配線バリアのような薄膜と low-k 誘電膜、およびその他のプロセスニーズに対応する標準試料/標準物質と標準測定方法。ゲートや容量誘電膜の光学的測定結果は広い領域の平均であり、界面層の評価・解析が別に必要になる。歪 Si や SOI 基板あるいはバリア層の測定で積層構造に対するキャリア移動度評価が必要になるだろう。メタルゲートの仕事関数の評価は、もう一つの大きなニーズである。
測定用のテスト構造と標準試料/物質。	特にスクライブ線において、テスト構造に割当てられる面積は縮小している。スクライブ線上にあるテスト構造ではチップ内の特性変化と相関が取れないという懸念がある。重ね合わせその他のテスト構造はプロセス変化に敏感であり、テスト構造はスクライブ線上とチップ内の対応が取れるように設計を改善する必要がある。適切な標準物質を作るために、標準化機関は最先端技術を用いて開発や製造の能力を向上させる活動に早急に着手する必要がある。

困難な技術課題 <22nm	問題の内容
ウェーハおよびマスクに関する3次元構造の寸法測定／重ね合わせ精度測定／欠陥検出／解析に使用する非破壊の生産用顕微鏡観察技術。	表面帯電およびコンタミネーションはSEM像形成時の障害となる。寸法測定ではパターン側壁の形状を考慮しなければならない。ダマシンプロセスにおけるトレンチ構造の寸法測定が必要である。ステップの焦点と露光量、エッチバイアス(エッチ後寸法とレジスト寸法の差)などのプロセス制御は高精度化と3次元対応が必要である。
チップ内特性を測ることでチップ間やウェハ間ばらつきを反映できるような新しい計測法を考える必要がある。	デバイス縮小に伴って、テスト構造を変えた場合の特性とチップ内の特性との相関を取るのが難しくなっている。測定試料の扱ひ方を最適化することが、これ等の問題を解く鍵である。
統計変動が顕在化する32nmノード以降でのプロセス制御。	自然現象としてのゆらぎが計測を制限する領域では、プロセスを制御することが困難となる。たとえば、低ドーズのイオン注入、薄いゲート絶縁膜、および極微細構造でのエッジラフネスである。
デバイススケールでの構造や組成の解析、およびCMOS以降のデバイスの測定。	界面層制御、ドーパント位置、欠陥、元素濃度に関して、デバイススケールとの対応が取れるような材料評価や計測方法が必要。一例は、3次元のドーパントプロファイル測定。自己組織化プロセスの測定も必要である。
デバイス構造と配線技術が明確にならない段階で製造における計測を決める必要がある。	現在のトランジスタに代る新デバイス構造やCu配線に代る材料が検討されている。

* SPC(Statistical Process Control) - 検査を置き換える、プロセス変動を減らす、欠陥を制御する、あるいは廃棄量を減らすために、統計的プロセス制御のパラメータが必要である。

(訳注：長期は Beyond 2009 とあり、この表現には 2009 年は含まれていないため 2010 年以降とした)

モデリング&シミュレーション

新規事項

まず、ITWG 間に跨る内容として、特に技術選択枝や、日程に関し、他の ITWG からのあらゆる要求内容の分析から始めた。その結果は、2007 年度の ITRS モデリング&シミュレーションの本文と表および他の ITWG との関連を扱う本文の記述になっている。そこに書かれた情報は、2007 年のモデリング&シミュレーションの章の技術課題や要求事項として表の形で記述されたものが、更に本文で、10 個の節からなる構造は変えないで、その研究開発状況が、最新のものに改版された。

2007 年度においては、モデリング&シミュレーションの困難な技術課題の中では主に 2 点に変更された。第 1 点は、「5-100GHz で使用する高周波デバイスと回路モデリング」が、「160GHz に至る領域で使用する高周波用の回路とシステムのモデリング」に変更された。その理由は、2005/2006 年度の幾つかの要求は、この間に満たされ課題でなくなったからである。一方で、例えば SoC や SiP などのシステムレベルのシミュレーション要求が強くなったためである。更に、プロセスばらつきの影響は回路レベルに含めることが必然となったためである。これらおよびいくつかの項目内容は、技術課題間で移動と新旧の更新が行われた。

第 2 点は、2005/2006 年度において長期的に困難な技術課題であった「回路パラメータ分散の予測」を、既の実現されつつある短期的項目に変更したことである。これと合わせ更に、短期的困難な技術的課題は、「装置、材料、形状やプロセス、ばらつきを含めたデバイス特性への影響などの、要素および統合モデリング」、「極小ナノスケールデバイスシミュレーション実行機能」、および、第 1 点で述べた「160GHz に至る領域で使用する高周波用の回路とシステムのモデリング」であると修正変更した。その理由は、ばらつきや揺らぎの影響は、直近の世代に間に合い、この間に、直ちに解を提供できるように開発すべきものであるからである。これに関連して、短期的困難な技術課題の「NGL を含むリソグラフィシミュレーション」は、「EUV を含むリソグラフィシミュレーション」と長期的困難な技術課題の「NGL リソグラフィシミュレーション」とに分離した。それぞれ非光学的と非 EUV 的な技術を扱うものである。この他に、リソグラフィーから始まって、回路、システムレベルまでの 6 個のシミュレーションは優先度順ではなく、一連のフロー順に記載に改めた。

幾つかの絞り込まれた ITWGs、特に、PIDS、FEP、リソグラフィー、インターコネクに於いて技術的要求事項と技術的可能性に進展があったため、モデリング&シミュレーションの要求事項の詳細部分も変更した。該当表を参照のこと。更に、これら表の幾つかのトピックスは、2005/2006 年度に既に要求されているものと同一であるが、リソースの不足のため、世界全体で、十分な研究が実行することが出来ていなかった。このため、これらのトピックスは、現在の要求表に、再び記載することが未だ必要だった。

FEP から要求されている主な研究分野に関しては、通常連続体近似の拡散と活性化のモデリングの他に、活性化と拡散の原子的モデリングの項目を加えた。その一方で、エッチングとデポジションに関しては一項にまとめた。デバイスモデリングに対しては、メモリ以外の新規デバイスへの要求が追加された。広い範囲のリソグラフィシミュレーションは、TCAD ベースのインバース・モデリングまで含むようになっている。

新たなモデリング機能を開発しようとする、一般に、長期の研究期間がかかる。また、より学際的な活動が必要であり、アカデミックまたは研究所環境で実行するのがベストである。このため、モデリング技術で成功するには、大学や独立な研究機関とが連携した膨大な研究努力が事前に必要となる。基礎的な仕事は一般に、極めて長期間の開発時間がかかるため、産業界で本格的に必要とされる時期に先立ち、適切な研究基金がタイムリーに使えるかは M&S にとって極めて重要なことである。

困難な技術課題

表 ITWG15 で強調されている困難な技術課題は、半導体ロードマップの要求レベルに合致し、かつ、技術的困難さと研究開発資源の必要度で左右されるモデリング&シミュレーションのぎりぎりの要求課題である。更に付け加えると、現在すべてのモデリング領域が直面し鍵となっている技術課題は実験検証の課題である。この課題は、単に合わせるだけでなく、予測まで出来るモデルを開発するためには、殆んどプロセスが数多くの物理的効果が相互作用しており、良く吟味した実験によって適切に分離されなければならないため、本質的に難しいということである。デバイスが縮小し、新しい物質が導入されるにつれて、モデルの開発と実験による

評価検証から必要な情報を抽出できる新しくかつ強化された解析技術が、不可欠なものである。この必要性は、メロロジーITWG との横断的要求項目と言及する。

Table ITWG15 Modeling and Simulation Difficult Challenges

<i>Difficult Challenges ≥ 22 nm</i>	<i>Summary of Issues</i>
Lithography simulation including EUV	<p>Experimental verification and simulation of ultra-high NA vector models, including polarization effects from the mask and the imaging system</p> <p>Models and experimental verification of non-optical immersion lithography effects (e.g., topography and change of refractive index distribution)</p> <p>Simulation of multiple exposure/patterning</p> <p>Multi-generation lithography system models</p> <p>Simulation of defect influences/defect printing</p> <p>Optical simulation of resolution enhancement techniques including combined mask/source optimization (OPC, PSM) and including extensions for inverse lithography</p> <p>Models that bridge requirements of OPC (speed) and process development (predictive) including EMF effects and ultra-high NA effects (oblique illumination)</p> <p>Predictive resist models (e.g., mesoscale models) including line-edge roughness, etch resistance, adhesion, mechanical stability, and time-dependent effects in multiple exposure</p> <p>Resist model parameter calibration methodology (including kinetic and transport parameters)</p> <p>Simulation of ebeam mask making</p> <p>Simulation of directed self-assembly of sub-litho patterns</p> <p>Modeling lifetime effects of equipment and masks</p>
Front-end process modeling for nanometer structures	<p>Diffusion/activation/damage/stress models and parameters including SPER and millisecond processes in Si-based substrate, that is, Si, SiGe:C, Ge, SOI, epilayers, and ultra-thin body devices, taking into account eventual anisotropy in thin layers</p> <p>Modeling of epitaxially grown layers: Shape, morphology, stress</p> <p>Modeling of stress memorization (SMT) during process sequences</p> <p>Characterization tools/methodologies for ultra shallow geometries/junctions, 2D low dopant level, and stress</p> <p>Modeling hierarchy from atomistic to continuum for dopants and defects in bulk and at interfaces</p> <p>Efficient and robust 3D meshing for moving boundaries</p> <p>Front-end processing impact on reliability</p>
Integrated modeling of equipment, materials, feature scale processes and influences on devices, including variability	<p>Fundamental physical data (e.g., rate constants, cross sections, surface chemistry for ULK, photoresists and high-κ metal gate); reaction mechanisms (reaction paths and (by-)products, rates ...), and simplified but physical models for complex chemistry and plasma reaction</p> <p>Linked equipment/feature scale models (including high-κ metal gate integration, damage prediction)</p> <p>Removal processes: CMP, etch, electrochemical polishing (ECP) (full wafer and chip level, pattern dependent effects)</p> <p>Deposition processes: MOCVD, PECVD, ALD, electroplating and electroless deposition modeling</p>

	Efficient extraction of impact of equipment- and/or process induced variations on devices and circuits, using process and device simulation
Ultimate nanoscale device simulation capability	<p>Methods, models and algorithms that contribute to prediction of CMOS limits</p> <p>General, accurate, computationally efficient and robust quantum based simulators incl. fundamental parameters linked to electronic band structure and phonon spectra</p> <p>Models and analysis to enable design and evaluation of devices and architectures beyond traditional planar CMOS</p> <p>Models (incl. material models) to investigate new memory devices like MRAM, PRAM, etc</p> <p>Gate stack models for ultra-thin dielectrics</p> <p>Models for device impact of statistical fluctuations in structures and dopant distribution</p> <p>Efficient device simulation models for statistical fluctuations of structure and dopant variations and efficient use of numerical device simulation to assess the impact of variations on statistics of device performance.</p> <p>Physical models for novel materials, e.g., high-k stacks, Ge and compound III/V channels...: Morphology, band structure, defects/traps,...</p> <p>Reliability modeling for ultimate CMOS</p> <p>Physical models for stress induced device performance</p>

Table ITWG15 Modeling and Simulation Difficult Challenges (continued)

<i>Difficult Challenges ≥ 22 nm</i>	<i>Summary of Issues</i>
Thermal-mechanical-electrical modeling for interconnections and packaging	<p>Model thermal-mechanical, thermodynamic and electronic properties of low κ, high κ, and conductors for efficient on-chip and off-chip incl. SIP layout and power management, and the impact of processing on these properties especially for interfaces and films under 1 micron dimension</p> <p>Model effects which influence reliability of interconnects/packages incl. 3D integration (e.g., stress voiding, electromigration, fracture, piezoelectric effects)</p> <p>Models to predict adhesion on interconnect-relevant interfaces</p> <p>Simulation of adhesion and fracture toughness characteristics for packaging and die interfaces</p> <p>Models for electron transport in ultra fine patterned interconnects</p>
Circuit element and system modeling for high frequency (up to 160 GHz) applications	<p>Supporting heterogeneous integration (SoC+SiP) by enhancing CAD-tools to simulate mutual interactions of building blocks, interconnect, dies and package:</p> <ul style="list-style-type: none"> - possibly consisting of different technologies, - covering and combining different modeling and simulation levels as well as different simulation domains <p>Scalable active component circuit models including non-quasi-static effects, substrate noise, high-frequency and 1/f noise, temperature and stress layout dependence and parasitic coupling</p> <p>Scalable passive component models for compact circuit simulation, including interconnect, transmission lines, RF MEMS switches, ...</p> <p>Physical circuit element models for III/V devices</p> <p>Computer-efficient inclusion of variability including its statistics (including correlations) before process freeze into circuit modeling, treating local and global variations consistently</p>

	Efficient building block/circuit-level assessment using process/device/circuit simulation, including process variations
<i>Difficult Challenges < 22 nm</i>	<i>Summary of Issues</i>
Modeling of chemical, thermomechanical and electrical properties of new materials	<p>Computational materials science tools to predict materials synthesis, structure, properties, process options, and operating behavior for new materials applied in devices and interconnects, including especially for the following:</p> <ol style="list-style-type: none"> 1) Gate stacks: Predictive modeling of dielectric constant, bulk polarization charge, surface states, phase change, thermomechanical (including stress effects on mobility), optical properties, reliability, breakdown, and leakage currents including band structure, tunneling from process/materials and structure conditions. 2) Models for novel integrations in 3D interconnects including air gaps and data for ultra thin material properties. Models for new ULK materials that are also able to predict process impact on their inherent properties 3) Linkage between first principle computation, reduced models (classical MD or thermodynamic computation) and metrology including ERD and ERM applications. Modeling-assisted metrology. 4) Accumulation of databases for semi-empirical computation.
Nano-scale modeling for Emerging Research Devices including Emerging Research Materials	<p>Process modeling tools for the development of novel nanostructure devices (nanowires, carbon nanotubes (including doping), nano-ribbons (graphene), quantum dots, molecular electronics, multiferroic materials and structures, strongly correlated electron materials)</p> <p>Device modeling tools for analysis of nanoscale device operation (quantum transport, tunneling phenomena, contact effects, spin transport, ...)</p>
Optoelectronics modeling	<p>Materials and process models for on-chip/off-chip optoelectronic elements (transmitters and receivers, optical couplers). Coupling between electrical and optical systems, optical interconnect models, semiconductor laser modeling.</p> <p>Physical design tools for integrated electrical/optical systems</p>
NGL simulation	<p>Simulation of mask less lithography by e-beam direct write (shaped beam / multi beam), including advanced resist modeling (low activation energy effects for low-keV writers (shot noise effects & impact on LER); heating and charging effects), including impact on device characteristics (e.g. due to local crystal damage by electron scattering or charging effects)</p> <p>Simulation of nano imprint technology (pattern transfer to polymer = resist modeling, etch process)</p>

総括ロードマップ技術指標 (ORTC)

背景

総括ロードマップ技術指標(ORTC: Overall Roadmap Technology Characteristics) の表は、国際技術ワーキンググループ(ITWG)が詳細に章を執筆する活動のための叩き台として、ロードマップ作成過程の初期に利用される。これらの表は、ロードマップ更新作業を行うに当たって特定表間の不整合を強調し、技術ワーキンググループ(TWG)間での整合をとる手段としても使用される。表を改訂する作業では、基本となる傾向モデルを開発して目標値の同意を得るために、ITWG や各 TWG 間で様々なレベルでの調整およびコンセンサス(合意)形成を行なう。この結果、ORTC 表は数回の反復と審査の過程を経ることになる。

ORTC 表にはメートル標記の数値が記載され、ロードマップ全体を通して各ワーキンググループの章にはさらに詳しく記載されている。本節に記載される情報は、現在の半導体技術進歩の急速な進展を強調することを目的としている。この情報は 2006 年に開始した改訂と更新作業の集大成となっている。なお付録の ORTC 用語集が 2007 年版で載せられ改訂されている。

2007 年改訂の概要

定義

上で述べたとおり、ロードマップ全体の技術的特長の表に主要技術数値が要約されている。特定の行項目について特に指定しない限り、デフォルトの年ヘッダーでは、(以前のロードマップと同じく)製造サイトからの「生産装置」を使った製品出荷量が、1 万ユニット/月・IC を最初に越えた年を示している。更に 3 ヶ月以内に 2 番目の会社が生産を開始することが必要である(図 2 参照のこと)。ASIC【Application Specific IC: 特定用途向け集積回路】では、この定義を満たすため、工場で処理した多数の個別製品系列項目の累積量を用いても良い。

ITRS のエグゼクティブ・サマリーの紹介で述べられているが、再度繰り返して言うと、各社の「ノード」の進展とタイミングの一般プレス発表には、引き続き混乱がある。この「ノード」は ITRS の定義と目標に合致しているものもあり、していないものもある。

2003 年版 ITRS を作成している時には、多くのロジック製造会社が行った、2003 年に製造された「90nm」技術「ノード」と言及している一般プレス発表を調停する試みが行われた。実際のデバイスのコンタクト有りメタル 1 (M1) ハーフピッチは 110-120nm と述べられており、ITRS DRAM 千鳥コンタクト有り M1 ハーフピッチのヘッダー目標との関係に関して混乱が持ち上がっていた。先進の製造会社と会話した後、公で述べているもののあるものは(密度に関して)ハーフピッチと(スピード性能に関して)露光ゲート長の平均を表して指標化した技術ノード・ロードマップを述べていることが分かった。ある会社は製品の機能が 2 倍になる(例として、ロジックゲート数やメモリ・ビット数が 2 倍になる)タイミングを述べていた。技術の進歩を計るこのアプローチは「ノード」の関係を複雑なものにした。と言うのは、密度の改善は設計の改善とリソのリニヤな像寸法縮小で達成されるからである。

更なる混乱が、Flash メモリ製品の発表で技術「ノード」が言及された事により起こった。Flash 技術は 2005 年と 2007 年版 ITRS で強調されて述べられている。例えば、Flash の製品セル密度はコンタクトなしポリシリコン(ポリ)配線ハーフピッチで決まっており、メタル 1 (M1) ハーフピッチ(DRAM、MPU、ASIC 製品で密度を決めている鍵となるパターン)によって決まっていない。また、非常に挑戦的な Flash メモリ・セルのセルエリアファクター(用語集参照のこと)改善が、果敢にコストを削減し、急速に立ち上がる不揮発性メモリ(NVM)の需要を満たすために、Flash セル設計者によって行われている。

国際ロードマップ委員会(IRC)は、2007 年版 ITRS では ITRS と個々の会社の公的発表の間の混乱を最小限にする最善の方法は、様々な技術傾向のドライバーを製品で、すなわち DRAM、MPU/ASIC、Flash で分け

ることであると決断した。前に述べたように、MPU/ASICとDRAM製品のハーフピッチは今や両者ともM1千鳥コンタクト有りで言及されており、他方、Flash不揮発性メモリ(NVM)製品はコンタクトなしポリの高密度ライン(図1参照)で言及されている。個々のTWG表は夫々の表で技術の傾向ドライバーを最も代表するヘッダーライン項目を採用している。

別々の製品傾向を追跡することを新たに強調するため、共通の製品技術のヘッダーを表より取り去った-----参照される技術製品の生産年のみである。2007年版ITRSでは、個々の製品グループ(DRAM, Flash, ASIC)に付随した、技術の傾向、機能(トランジスタ数、ビット数、ロジックゲート数)や特徴(スピード、電力)性能が強調されている。ITRSと比較をしたい個々の会社は、いまや言及する製品の技術傾向ライン項目を使わなければならない。この項目は更に詳しくエグゼクティブサマリーや用語集で規定される。

個々の製品技術は引き続き監視しているが、最新の技術グループによる調査では、DRAMの歴史的経過はITRSのMPUの経過に近づいて来ているようである。しかしながら、2007年DRAM M1ハーフピッチの目標は2007年ORTC表では変更されていない。DRAMとM1目標の傾向は2007年更に調査され2008年の改訂で報告されるが、最新の調査結果は詳しく2007年版PIDSの章でも述べられている。幾つかの小さな矛盾は2007年と2008年版では現れるかもしれない、また2007年ITRSの2008年目標は、実際の産業が行うことより僅かに進んでいるかもしれない。2009年から先に関しては、大きな挑戦と潜在的な研究と開発解に影響を及ぼすタイミングは最新の調査結果と一致している。

最新のFlashメモリ技術の調査によると、リソグラフィの解像度の全体は最先端分野では今や、Flashメモリ製品の寸法傾向でドライブしているように思われる。例えば、下に詳しく付加して述べたように、Flashメモリのコンタクト無しポリ・ハーフピッチは2008年までには、DRAMの千鳥コンタクト有りM1ハーフピッチより2年先に進むと予想されている。Flashメモリのコンタクト無しポリ・ハーフピッチによる2年の先行は、DRAMの千鳥コンタクト有りM1ハーフピッチと1年先行していること(リソ・プロセスの難しさから)と等価であると考えられている。このように先行が進むことで、Flashメモリ技術が先進リソをドライブすることになる。「生産の年」のタイミング定義に関する用語集部分の詳細を参照されたい。

2007年版ITRS表の技術傾向目標は今や2007年から15年間の2022年までのITRSロードマップ限界で完全に年毎に記述されている。しかしながら、以前に確立したIRCのガイドラインに従って、2007年版ITRSは、技術傾向サイクルタイムをプロセス技術において重要な進歩が達成される期間とする定義も残してある。明確には、技術傾向サイクルタイムの進歩は1サイクルで約0.71倍の縮小(2サイクルで正確に0.50倍)を達成する期間として引き続き定義されている。図5、6を参照のこと。

2007年版ITRSのORTC表1a, 1bで技術サイクル・タイミングが製品で異なっていることに注意して欲しい。例えば、DRAMの千鳥コンタクト有りM1ハーフピッチは(実際の2000年180nmからの2004年の90nmの実際の2年サイクルに基づいていた後)3年で0.71倍(6年で0.5倍)のタイミング・サイクルに基づいて予想されており、これは歴史的な事実の2004年90nmから2022年11nm目標に至っている。3年サイクル・タイミングの毎年の縮小率は年0.8909倍でこれは、中間の年毎の傾向目標(例えば、2009年50nm, 2020年14nm)を計算する時に用いられている。

入手できる産業界のデータ、ITWGやIRCのインプットを考慮に入れた後、コンタクトなしポリシリコン・ハーフピッチの定義に基づき、新しいFlash製品技術タイミング・モデルに関してコンセンサスが得られた。Flashメモリのコンタクト無しポリ・ハーフピッチは2000年180nmから2008年45nmまで、2年サイクル・タイミング速さである。この点に関しリソのITWGにより、Flashメモリのコンタクト無しポリ・ハーフピッチは数値的にはDRAMの千鳥コンタクト有りM1ハーフピッチより、同じプロセス技術や装置が目標を達成するために用いられたとして、2年前倒しできることが確認された。しかしながら、2008年45nm以降Flashメモリのコンタクト無しポリ・ハーフピ

ッチは3年タイミング・サイクルになり、正確に DRAM の傾向に2年先行し、2022年9nmまで年毎に続くであろう。

上に述べたように MPU(と高性能 ASIC)の製品傾向サイクル・タイミングは2005年版 ITRS で変化し、DRAMと同じ千鳥コンタクト有り M1 ハーフピッチに基づくようになった。歴史的データの分析と ITWG と IRC のコンセンサスにより、MPU M1 ハーフピッチは歴史的な2000年180nmの実データの点から2010年45nmまで2.5年サイクル・タイミング(5年で0.5倍)になった。2010年45nmの点で、MPU M1 目標はDRAM M1 サイクル・タイミング目標に追いつき、同じになって(3年タイミング・サイクルで)2022年のロードマップの終わりまで続くであろう。

MPU(と高性能 ASIC)の最終的な物理ゲート長(phGL)目標は2003年版 ITRS と変わっていない。2003年版 ITRS ではタイミングは2年サイクル(4年で0.5倍、年0.8409倍)で1999年から2005年で32nmとなり、それから傾向は3年タイミング・サイクル(6年で0.5倍、年0.8909倍)でロードマップの最後2022年で4.5nmになる。リソとFEPのITWGはエッチ後の最終的な物理ゲート長と露光ゲート長目標間の比に関して新しい合意(1.6818×上記物理ゲート長縮小率)に達した。

低消費電力 LOP ASIC のゲート長目標は、PIDsのITWGで確立され、MPU(と高性能 ASIC)の露光ゲート長と物理的ゲート長目標の2年遅れに設定されている。

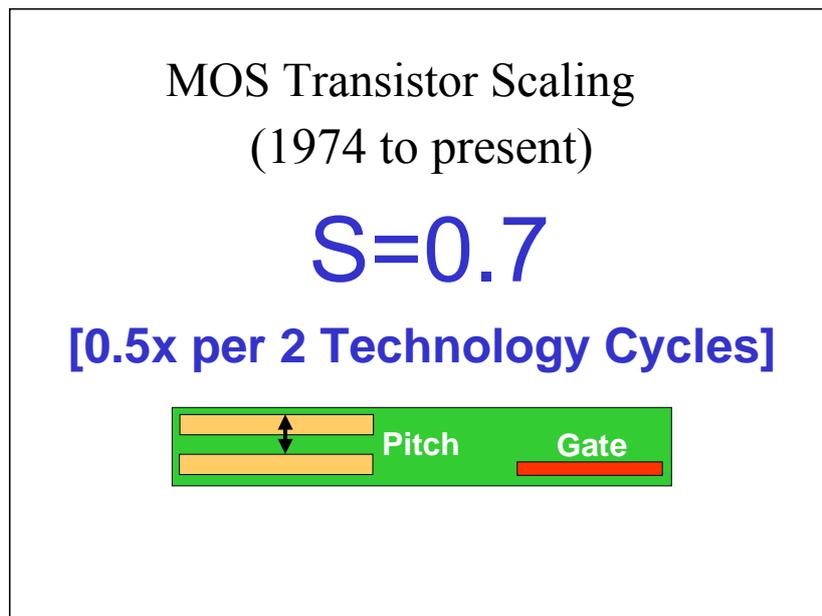


Figure 5 MOS Transistor Scaling—1974 to present

(注) NTRS (National Technology Roadmap for Semiconductors: 米国内半導体技術ロードマップ)

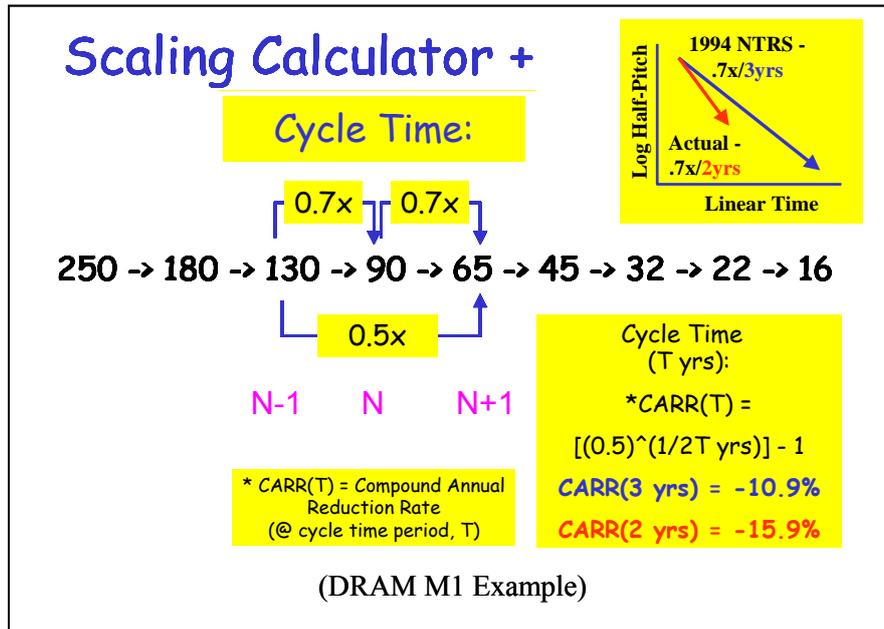


Figure 6 Scaling Calculator

ロードマップのタイムライン

2007年版ロードマップは、2007年を基準年として2022年までの15年間の予測を表している。DRAM製品の将来の技術革新の速さのタイミング傾向が、千鳥コンタクト有り M1 ハーフピッチに対する先端性を依然として代表しており、2004年90nm後3年サイクル(3年毎にパターン寸法の0.71倍)に戻ることが予想されていることは2003年版と変わっていない。PIDS TWGによる最新の調査によると、90nm DRAM ハーフピッチ製品は2004年に、2003年版ITRSでDRAM製品の「製造」定義の明確な必要項目となった顧客による製品信頼性認定に基づき製造立ち上げが始まっている。

2001年版ITRSでは、130nm DRAM製品 M1 ハーフピッチは1年前倒しされ(1999年版ITRSの2002年から2001年へ)、350nm/1995年以来の歴史的傾向である2年技術サイクルを継続している(1997年250nm、1999年180nm)ように思われた。2003年のDRAM製造業者からの、厳しい顧客製品認定に基づく量産立ち上げデータによれば実際の量産立ち上げ時期は次のようであった: 350nm/1995, 250nm/1998, 180nm/2000, 130nm/2002。この新しいデータは2年のサイクル・タイミングを示しているが、元の2001年版ITRSより1年遅れている。PIDsメンバーが確認した所によると、2004年に量産立ち上げが行なわれた実際のDRAMのデータから2002年130nm、2004年90nmの2年サイクルが存在した。この新しい遅れた2年サイクルの傾向が続く可能性もあったが、今日のDRAM製品の製造者のコンセンサスは、PIDsの最新調査が確認したように、DRAM千鳥コンタクト有り M1 ハーフピッチに関し、2007年から2022年のロードマップ期間に関し図7に示すように、3年タイミングサイクル(0.71倍削減)を予定している。上述したように、最新のPIDsメンバーのDRAM調査によれば、DRAM技術の進歩速度は、緩和してMPUのM1ハーフピッチの2.5年サイクルに近づくかもしれない。2008年ITRSの表改訂のためには、この調査は引き続き評価することを勧めている。

上に述べたように、技術サイクル(0.71 倍のパターン寸法の削減)の達成を定義する上で、DRAM 配線ハーフピッチが、半導体製造の先端技術を最も良く表す機能としてもはや使用することは出来ない。実際、Flash コンタクト無しポリシリコン・ハーフピッチ・パターンが DRAM M1 を数字的に 2 年先行し、今や先端製造技術のドライバーともなっている。同様に、遅れていた MPU や ASIC M1 千鳥コンタクト有り配線ハーフピッチは 2.5 年のより早いサイクル・ペースで進歩しており、現在のところ 2010 年 45nm で DRAM ハーフピッチに追いつき同じペースとなることが期待されている。2005 年版 ITRS の新製品を指向して焦点を当てることで、全ての製品技術傾向が監視される。その製品傾向の何れかが、更に加速を起こし、先端技術において、産業の研究や装置・材料サプライヤをドライブするかもしれない。図 7 参照。

丸められたトレンド数値

DRAM ハーフピッチ・データの 2000 年 180nm を傾向の計算起点としているため、2007 年版 ITRS には、技術サイクル傾向目標について、過去の「四捨五入」方式の訂正が含まれている。実際の数学的な傾向(ORTC と各技術ワークグループ表のモデル計算で用いられているが、)では、2 技術サイクル毎に 50%縮小とし、四捨五入で丸められたノード数値は、1995 年の 350nm から始まり、以下の表 C のようになっている。

Table C Rounded versus Actual Trend Numbers (DRAM Product Trend Example)

YEAR OF PRODUCTION	1995	1998	2000	2002	2003	2004	2006	2007	2009	2010	2012	2013	2015	2016	2018	2019	2022
Calculated Trend Numbers (nm)	360	255	180	127.3	101	90	71.4	63.6	50.5	45	35.7	31.8	25.3	22.5	17.9	15.9	11.3
ITRS Rounded Numbers (nm)	350	250	180	130	100	90	70	65	50	45	36	32	25	22	18	16	11

半導体産業が新ナノ技術(サブ 100nm)の二桁技術ノードに入ると、新しい「四捨五入」の訂正が非常に重要になることに注意して頂きたい。いくつかの分野では、過去の ITRS との整合性をとって、100nm/2003 から始まる以前の技術世代を引き続き採用する権利を持っている。これにより、現行の 2003 年版ロードマップの慣行(70nm/2006; 50nm/2009; 35nm/2012; 25nm/2015)よりも 1 年早い時点でマイルストーンが置かれることになる。I RCの合意事項として、長期の計算には両方の数値の組み合わせが入手できる。もとの 2001 年版 ITRS の長期の欄(2010/45nm; 2013/32nm; 2016/22nm)が残され、新しい欄(2012/36nm; 2015/25nm; 2018/18nm; 2021/13nm)が加えられている。

ORTCへの改定

MPU/ASIC M1 ハーフピッチを DRAM と同じ千鳥コンタクト有りハーフピッチと引き続き定義することには、2005 年 ITRS と変わっていない。Flash 製品のハーフピッチは引き続き、コンタクトなしポリシリコン・ハーフピッチと定義され、に追加された 2005 年 ITRS 改訂されて、2008 年 45nm まで 2 年サイクルを続け、3 年サイクルに入り、2022 年になる。描画された MPU ゲート長については、2001 年版 ITRS の積極的とも言える開始点に大きな訂正が行われた。更に、プロセス処理したトランジスタのボトム・ゲート長寸法をさらに縮小する新物理ゲート長は、現在調査確認が行われている。物理ゲート長の傾向は 2003 年と 2005 年版 ITRS では変更無く、2022 年のロードマップの限界まで DRAM ハーフピッチの傾向予測と一致して、3 年サイクルでスケールリングが続くと予測される。図 7 参照。

業界のリーダーシップを獲得するため、スケジュールを前倒しで達成しなければならない目標のセットとして、ORTC の技術数値は、半導体関連企業により頻繁に使用されている。このように、激しい競争的環境に置かれている半導体産業では、ORTC の技術数値の大半が、すなわちロードマップそのものが時代遅れになる恐れ

がある。我々が行う毎年の改訂作業では、技術の方向性に関する十分に密着した追跡を国際コンセンサスの場で行うことで、半導体産業における ITRS の有用性を維持することを期待している。

たとえば、会社の調査データや公の発表と共に実際のデータや学会の論文を、個々の製品の技術傾向の中で 2 年ノード・サイクル継続の可能性とともに、2008 年 ITRS の改訂作業で再評価する。特に、ロジックと Flash 製品のハーフピッチの加速を、将来技術の主導権をとる候補として監視する。

上に述べたように、様々なサイクルを反映し、将来のロードマップのシフトを密着して監視するため、2007 年～2015 年までの「短期」と呼ばれる期間の毎年の技術要求を発表し、2015 年から 2022 年までの「長期」と呼ばれる期間の毎年の技術要求を発表することが同意されている。

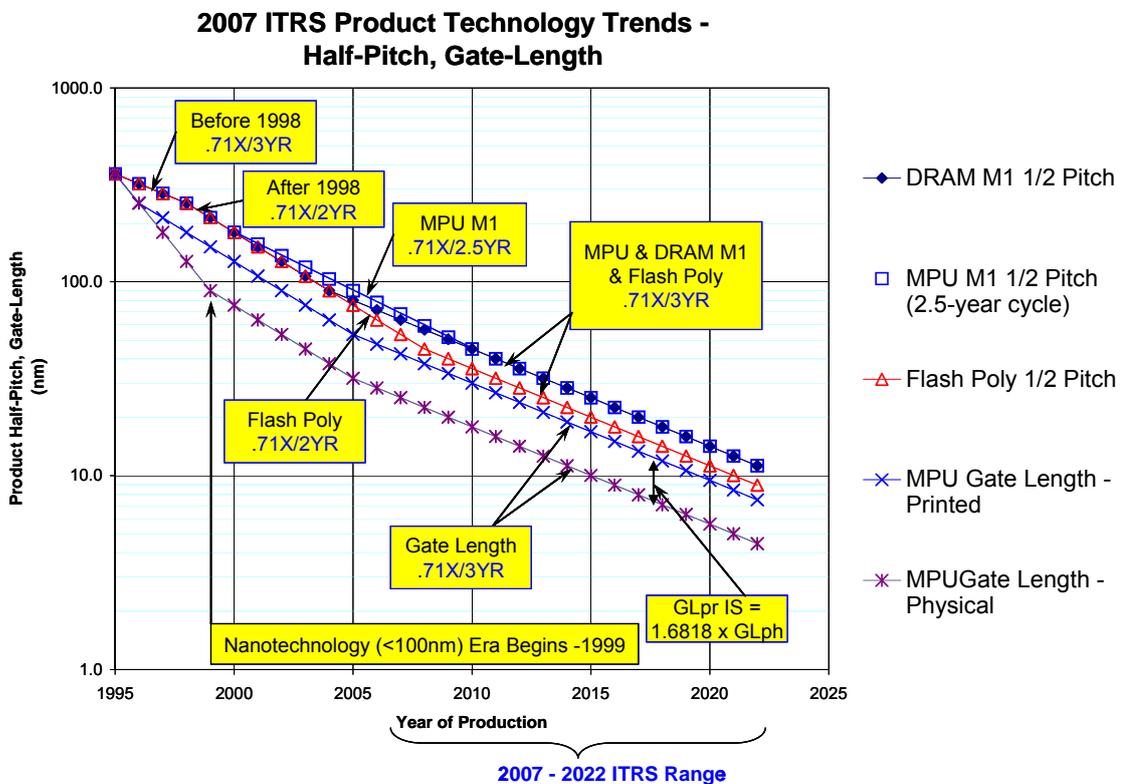


Figure 7 2007 ITRS—Half Pitch and Gate Length Trends

製品世代およびチップ寸法モデル

このセクションでは、「製品世代」およびその技術サイクルとの関係を述べる。というのは、今までこの 2 つの用語を頻繁に区別なく使用してきたからである。しかしながら、3 年ごとに新しい DRAM 製品世代(前世代密度の 4 倍で、基本的に新しい技術機能群に基づく)が誕生するという今までの単純な図式は、技術サイクル・タイミングの進歩を定義する手段として時代遅れになっている。この 2005 年版 ITRS で始まった慣行を続け、2007 年版 ITRS は個々の製品技術傾向に基づいて、技術のペースを決めている。これは、先端製品の進化/縮小のペースが複雑になるにつれ、市場の機能・性能・値ごろ感の要求に基づいて、個々の製品技術傾向がお互いに異なった速さで進展することを反映したものである。

歴史的に言えば、DRAM 製品は全半導体産業の技術の動輪として認識されてきた。1990 年代後期より前にさかのぼると、ロジック(MPU で代表される)技術は DRAM 技術と同じ速さで進展していた。しかし、2000 年 180nm ロジック製品がゆっくりした 2.5 年の速さで進展し始め、他方 DRAM 技術は加速された 2 年速さで引き続き進展した。ここ数年の間に、マイクロプロセッサ製造に使用される新規技術の開発速度は 2.5 年速さを続け、他方 DRAM は減速して 2020 年のロードマップの限界まで 3 年サイクル速さとなることが予測されている。より速い 2.5 年サイクル速さを継続する結果、マイクロプロセッサ製品は DRAM とのハーフピッチ技術格差を縮めることになり、現在では特に、露光ゲート長と物理ゲート長の孤立ライン・パターンを処理する能力について、最先端のリソグラフィ装置およびプロセスの開発を推し進めている。加えるに、Flash 技術はコンタクト無しポリシリコンで定義されているので、最先端技術で開発を進められている点まで加速をしている。

しかしながら、この 2 つの製品ファミリの間には、いくつかの基本的な差異が存在する。コスト削減および工場生産性向上への商品市場の経済的な圧力が強いために、DRAM 製品ではチップ寸法の最小化が強調されている。そのため DRAM の技術開発は、主にメモリ・セル占有面積の最小化に焦点が当てられている。しかしながら、このセル寸法最小化の圧力は、セル容量最大化の要求と矛盾してしまう。このセル容量最大化要求は、メモリ・セル設計者にプレッシャーをかけ、セル寸法を縮小しながら容量の最低必要条件を満たすように設計と材料にわたって創造的な手段を探求させている。その上、最小面積に最大数の DRAM セルを密に実装するためには、セル・ピッチの最小化が必要となる。

マイクロプロセッサでも、最高性能を保ちつつコスト削減を達成するという市場圧力が強くかかっている。主にトランジスタ・ゲート長と配線層数により、高性能が可能なものとなる。ORTC 表に関する所要の機能、チップ寸法、セル面積、密度などについて、2007 年版 ITRS チームは意見の一致をみている。MPU 製品チップ寸法表は、導入時の大きなチップ寸法が時を経て手ごろなチップ寸法を達成しなければならないので、より DRAM モデルと同一のように見える。追加のライン項目が加えられ、モデルのコンセンサスを伝え、背景にあるモデルの仮定が ORTC 表の注に含まれている。

短期と長期の技術傾向指標の要約を表 1a と表 1b に示す。表の完全性を図るため、ASIC/低電力のゲート長も含まれてはいるが、待機電流および動作電流を最大にするために最先端 MPU よりは遅れている。ハーフピッチとゲート長の特長に関する詳細な定義については、用語解説セクションを参照して頂きたい。各製品世代について、最先端の(「現在導入中」)DRAM 製品と量産(「現在量産中」)DRAM 製品の双方を示す。

図 7 を要約すると、DRAM コンタクト有り M1 ハーフピッチ・パターン寸法の長期平均年縮小率は 2004 年 90nm 以降 3 年の技術サイクル速さに戻ることを予測していることに注目して欲しい。これは、年約 11%(3 年約 30%縮小)を表している。以前(1998 年 250nm から 2004 年 90nm)の加速された 2 年サイクルは年間平均縮小率が約 16%/年(2 年約 30%縮小)である。上述のとおり、新 Flash メモリコンタクト無しポリシリコンは DRAM M1 を追い越し、2008 年に 3 年の速さになり、MPU/ASIC M1 (グラフでは MPU と元々記述)は 2010 年 45nm で DRAM M1 に追いつき、3 年の速さに戻る。

Table 1a Product Generations and Chip Size Model Technology Trend Targets—Near-term Years

<i>Year of Production</i>	<i>2007</i>	<i>2008</i>	<i>2009</i>	<i>2010</i>	<i>2011</i>	<i>2012</i>	<i>2013</i>	<i>2014</i>	<i>2015</i>
<i>DRAM ½ Pitch (nm) (contacted)</i>	<i>65</i>	<i>57</i>	<i>50</i>	<i>45</i>	<i>40</i>	<i>36</i>	<i>32</i>	<i>28</i>	<i>25</i>
<i>MPU/ASIC Metal 1 (M1) ½ Pitch (nm)</i>	<i>68</i>	<i>59</i>	<i>52</i>	<i>45</i>	<i>40</i>	<i>36</i>	<i>32</i>	<i>28</i>	<i>25</i>
<i>MPU Printed Gate Length (nm) ††</i>	<i>42</i>	<i>38</i>	<i>34</i>	<i>30</i>	<i>27</i>	<i>24</i>	<i>21</i>	<i>19</i>	<i>17</i>
<i>MPU Physical Gate Length (nm)</i>	<i>25</i>	<i>23</i>	<i>20</i>	<i>18</i>	<i>16</i>	<i>14</i>	<i>13</i>	<i>11</i>	<i>10</i>
<i>ASIC/Low Operating Power Printed Gate Length (nm) ††</i>	<i>54</i>	<i>48</i>	<i>42</i>	<i>38</i>	<i>34</i>	<i>30</i>	<i>27</i>	<i>24</i>	<i>21</i>
<i>ASIC/Low Operating Power Physical Gate Length (nm)</i>	<i>32</i>	<i>28</i>	<i>25</i>	<i>23</i>	<i>20</i>	<i>18</i>	<i>16</i>	<i>14</i>	<i>13</i>
<i>Flash ½ Pitch (nm) (un-contacted Poly)(†)</i>	<i>54</i>	<i>45</i>	<i>40</i>	<i>36</i>	<i>32</i>	<i>28</i>	<i>25</i>	<i>22</i>	<i>20</i>

Table 1b Product Generations and Chip Size Model Technology Trend Targets—Long-term Years

<i>Year of Production</i>	<i>2016</i>	<i>2017</i>	<i>2018</i>	<i>2019</i>	<i>2020</i>	<i>2021</i>	<i>2022</i>
<i>DRAM ½ Pitch (nm) (contacted)</i>	<i>22</i>	<i>20</i>	<i>18</i>	<i>16</i>	<i>14</i>	<i>13</i>	<i>11</i>
<i>MPU/ASIC Metal 1 (M1) ½ Pitch (nm)</i>	<i>22</i>	<i>20</i>	<i>18</i>	<i>16</i>	<i>14</i>	<i>13</i>	<i>11</i>
<i>MPU Printed Gate Length (nm) ††</i>	<i>15</i>	<i>13</i>	<i>12</i>	<i>11</i>	<i>9</i>	<i>8.4</i>	<i>7.5</i>
<i>MPU Physical Gate Length (nm)</i>	<i>9</i>	<i>8</i>	<i>7</i>	<i>6.3</i>	<i>5.6</i>	<i>5.0</i>	<i>4.5</i>
<i>ASIC/Low Operating Power Printed Gate Length (nm) ††</i>	<i>19</i>	<i>17</i>	<i>15</i>	<i>13</i>	<i>12</i>	<i>11</i>	<i>9</i>
<i>ASIC/Low Operating Power Physical Gate Length (nm)</i>	<i>11</i>	<i>10</i>	<i>9</i>	<i>8</i>	<i>7</i>	<i>6.3</i>	<i>5.6</i>
<i>Flash ½ Pitch (nm) (un-contacted Poly)(†)</i>	<i>18</i>	<i>16</i>	<i>14</i>	<i>13</i>	<i>11</i>	<i>10</i>	<i>9</i>

Notes for Tables 1a and 1b:

†† MPU and ASIC gate-length (in resist) targets refer to the most aggressive requirements, as printed in photoresist (which was by definition also “as etched in polysilicon,” in the 1999 ITRS).

However, during the 2000/2001 ITRS development, trends were identified, in which the MPU and ASIC “physical” gate lengths may be reduced from the “as-printed” dimension. These physical gate-length targets are driven by the need for maximum speed performance in logic microprocessor (MPU) products, and are included in the Front End Processes (FEP), Process Integration, Devices, and Structures (PIDs), and Design chapter tables as needs that drive device design and process technology requirements.

Refer to the Glossary for definitions of Introduction, Production, InTERgeneration, and InTRAgeneration terms.

MPU Physical Gate Length targets are unchanged from the 2003 ITRS through the 2006 ITRS Update, but also included are the complete set of annualized Long-term targets through 2022. The printed gate length has been adjusted to reflect the agreement between the FEP and Lithography TWGs to use a standard factor, 1.6818, to model the relationship between the final physical gate length and the printed gate length, after additional processing is applied to that isolated feature.

MPU/ASIC M1 stagger-contact targets was accelerated to 90 nm in 2005 to reflect actual industry performance per the Interconnect ITWG recommendation, and a new consensus model technology cycle timing of 2.5 years (to 0.71× reduction) was applied through 2010, when the trend targets become equal to the DRAM stagger-contact M1 through 2022.

Numbers in the header are rounded from the actual trend numbers used for calculation of models in ITRS ORTC and ITWG tables (see discussion in the Executive Summary on rounding practices).

Table 1c DRAM and Flash Production Product Generations and Chip Size Model—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	22	20	18	16	14	13	11	10
DRAM Product Table									
Cell area factor [a]	6								
Cell area [Ca = a ²] (um ²)	0.024	0.019	0.015	0.012	0.0096	0.0077	0.0061	0.0048	0.0038
Cell array area at production (% of chip size) §	56.08%								
Generation at production §	2G	2G	2G	4G	4G	4G	8G	8G	8G
Functions per chip (Gbits)	2.15	2.15	2.15	4.29	4.29	4.29	8.59	8.59	8.59
Chip size at production (mm ²)§	93	74	59	93	74	59	93	74	59
Gbits/cm ² at production §	2.31	2.91	3.66	4.62	5.82	7.33	9.23	11.63	14.65
Flash Product Table									
Flash ½ Pitch (nm) (un-contacted Poly)(f)	53.5	45.0	40.1	35.7	31.8	28.3	25.3	22.5	20.0
Cell area factor [a]	4								
Cell area [Ca = a ²] (um ²)	0.0115	0.0081	0.0064	0.0051	0.0041	0.0032	0.0026	0.0020	0.0016
Cell array area at production (% of chip size) §	68.35%								
Generation at production § SLC	8G	8G	8G	16G	16G	16G	32G	32G	32G
Generation at production § MLC [2 bits/cell]	16G	16G	16G	32G	32G	32G	64G	64G	64G
Generation at production § MLC [4 bits/cell]	32G	32G	32G	64G	64G	64G	128G	128G	128G
Functions per chip (Gbits) SLC	8.59	8.59	8.59	17.18	17.18	17.18	34.36	34.36	34.36
Functions per chip (Gbits) MLC [2 bits/cell]	17.18	17.18	17.18	34.36	34.36	34.36	68.72	68.72	68.72
Functions per chip (Gbits) MLC [4 bits/cell]	34.36	34.36	34.36	68.72	68.72	68.72	137.44	137.44	137.44
Chip size at production (mm ²)§ SLC	143.96	101.80	80.80	128.26	101.80	80.80	128.26	101.80	80.80
Chip size at production (mm ²)§ MLC [2 bits/cell & 4 bits/cell]	143.96	101.80	80.80	128.26	101.80	80.80	128.26	101.80	80.80
Bits/cm ² at production § SLC	5.97E+09	8.44E+09	1.06E+10	1.34E+10	1.69E+10	2.13E+10	2.68E+10	3.38E+10	4.25E+10
Bits/cm ² at production § MLC [2 bits/cell]	1.19E+10	1.69E+10	2.13E+10	2.68E+10	3.38E+10	4.25E+10	5.36E+10	6.75E+10	8.51E+10
Functions per chip (Gbits) MLC [4 bits/cell]	2.39E+10	3.38E+10	4.25E+10	5.36E+10	6.75E+10	8.51E+10	1.07E+11	1.35E+11	1.70E+11

Table 1d DRAM and Flash Production Product Generations and Chip Size Model—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ Pitch (nm) (contacted)	22	20	18	16	14	13	11
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	22	20	18	16	14	13	11
MPU Physical Gate Length (nm)	9	8	7	6.3	5.6	5.0	4.5
DRAM Product Table							
Cell area factor [a]	6	6	6	6	6	6	6
Cell area [Ca = a ²] (um ²)	0.0030	0.0024	0.0019	0.0015	0.0012	0.00096	0.00076
Cell array area at production (% of chip size) §	56.08%	56.08%	56.08%	56.08%	56.08%	56.08%	56.08%
Generation at production §	16G	16G	16G	32G	32G	32G	64G
Functions per chip (Gbits)	17.18	17.18	17.18	34.36	34.36	34.36	68.72
Chip size at production (mm ²)§	93	74	59	93	74	59	93
Gbits/cm ² at production §	18.46	23.26	29.31	36.93	46.52	58.61	73.85
Flash Product Table							
Flash ½ Pitch (nm) (un-contacted Poly)(t)	17.9	15.9	14.2	12.6	11.3	10.0	8.9
Cell area factor [a]	4	4	4	4	4	4	4
Cell area [Ca = a ²] (um ²)	0.0013	0.0010	0.00080	0.00064	0.00051	0.00040	0.00032
Cell array area at production (% of chip size) §	68.35%	68.35%	68.35%	68.35%	68.35%	68.35%	68.35%
Generation at production § SLC	64G	64G	64G	128G	128G	128G	256G
Generation at production § MLC [2 bits/cell]	128G	128G	128G	256G	256G	256G	512G
Generation at production § MLC [4 bits/cell]	256G	256G	256G	512G	512G	512G	1024G
Functions per chip (Gbits) SLC	68.72	68.72	68.72	137.44	137.44	137.44	274.88
Functions per chip (Gbits) MLC [2 bits/cell]	137.44	137.44	137.44	274.88	274.88	274.88	549.76
Functions per chip (Gbits) MLC [4 bits/cell]	274.88	274.88	274.88	549.76	549.76	549.76	1099.51
Chip size at production (mm ²)§ SLC	128.26	101.80	80.80	128.26	101.80	80.80	128.26
Chip size at production (mm ²)§ MLC [2 bits/cell & 4 bits/cell]	128.26	101.80	80.80	128.26	101.80	80.80	128.26
Bits/cm² at production § SLC	5.36E+10	6.75E+10	8.51E+10	1.07E+11	1.35E+11	1.70E+11	2.14E+11
Bits/cm² at production § MLC [2 bits/cell]	1.07E+11	1.35E+11	1.70E+11	2.14E+11	2.70E+11	3.40E+11	4.29E+11
Functions per chip (Gbits) MLC [4 bits/cell]	2.14E+11	2.70E+11	3.40E+11	4.29E+11	5.40E+11	6.80E+11	8.57E+11

Notes for Tables 1c and 1d:

§ DRAM Model—cell area factor (design/process improvement) targets are as follows:

1999–2006/8×: 2006–2022/6×. Due to the elimination of the “7.5,” “7,” and the “5” DRAM Cell design improvement Factors [a] in the latest 2005 ITRS DRAM consensus model, the addition of “Moore’s Law” bits/chip slows from 2× every 2.5–3 years to 2× every three years.

DRAM product generations were increased by 4× bits/chip every four years with interim 2× bits/chip generation. However, in the last model 2005 ITRS timeframe refer to Figures 8 and 9 for bit size and bits/chip trends:

1. at the Introduction phase, after the 16 Gbit generation, the introduction rate is 4×/six years (2×/three years); and
2. at the Production phase, after the 4 Gbit generation, the introduction rate is 4×/six years (2×/three years).

As a result of the latest DRAM consensus model changes for the 2007 ITRS, the InTER-generation chip size growth rate model target for Production-phase DRAM product are delayed an additional year and now remains “flat” at less than 93 mm^2 , about one third smaller than the MPU model. However, with the pull-in of the 6f^2 “cell area factor”, the flat-chip-size model target still requires the bits/chip “Moore’s Law” model for DRAM products to increase the time for doubling bits per chip to an average of $2\times$ per 3 years (see ORTC Table 1c, 1d).

In addition to the revisions noted above, the cell array efficiency (CAE – the Array % of total chip area) was change to 56.1% after 2006. Only the storage cell array area benefits from the $6\times$ “cell area factor” improvement, not the periphery, however, the CAE pull-in enables the production-phase product chip size to meet the target flat-chip-size model. It can be observed in the Table 1c and d model data that the InTRA-generation chip size shrink model is still $0.5\times$ every technology cycle (to $0.71\times$ reduction) in-between cell area factor reductions.

Refer to the Glossary for definitions of Introduction, Production, InTERgeneration, and InTRAgeneration terms.

The Flash product model was also revised to extend the 2-year-cycle half-pitch to 2008, also targets an affordable ($<145 \text{ mm}^2$) chip size and includes a doubling of functions (bits) per chip every technology cycle (three years after 2008) on an Inter-generation. Flash cells have reached a limit of the 4-design factor, so the reduction of the Flash single-level cell (SLC) size is paced by the uncontacted polysilicon (three-year cycle). However, the Flash technology has the ability to store and electrically access two bits in the same cell area, creating a multi-level-cell (MLC) “virtual” per-bit size that is one-half the size of an SLC product cell size; and the latest revision of the Flash model also includes the introduction of 4 bits/cell beginning 2010 (refer to Figures 8 and 9).

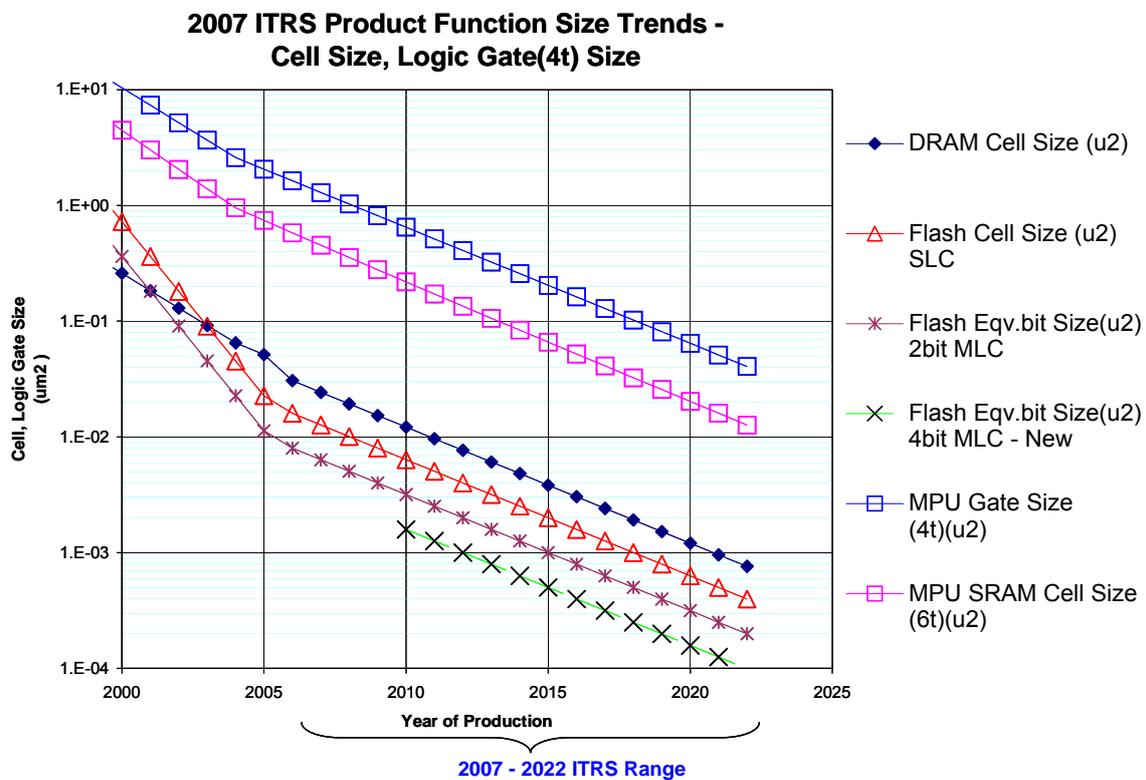
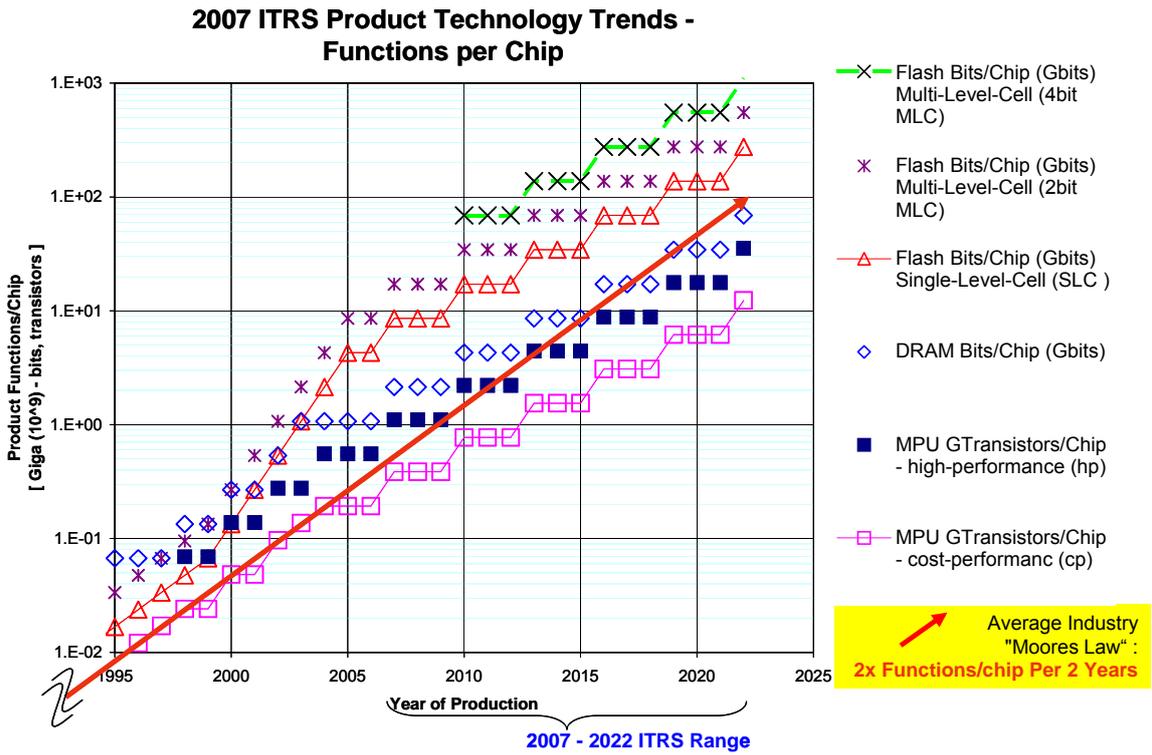


Figure 8 2007 ITRS Product Function Size Trends:

MPU Logic Gate Size (4-transistor); Memory Cell Size [SRAM (6-transistor); Flash (SLC and MLC), and DRAM (transistor + capacitor)]



*Figure 9 2007 ITRS Product Technology Trends:
Product Functions/Chip and Industry Average "Moore's Law" Trends*

Table 1e DRAM Introduction Product Generations and Chip Size Model—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
MPU/ASIC Metal 1 (M1) ½ Pitch (nm) (ℓ)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	23	20	18	16	14	13	11	10
Cell area factor [a]	6	6	6	6	6	6	6	6	6
Cell area [Ca = a ²] (um ²)	0.024	0.019	0.015	0.012	0.0096	0.0077	0.0061	0.0048	0.0038
Cell array area at introduction (% of chip size) §	73.52%	73.76%	73.97%	74.16%	74.30%	74.47%	74.61%	74.70%	74.83%
Generation at introduction §	16G	16G	16G	32G	32G	32G	64G	64G	64G
Functions per chip (Gbits)	17.18	17.18	34.36	34.36	34.36	68.72	68.72	68.72	68.72
Chip size at introduction (mm ²) §	568	449	711	563	446	706	560	444	351
Gbits/cm ² at introduction §	3.03	3.82	4.83	6.10	7.70	9.73	12.28	15.49	19.55

Table 1f DRAM Introduction Product Generations and Chip Size Model—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ Pitch (nm) (contacted)	22	20	18	16	14	13	11
MPU/ASIC Metal 1 (M1) ½ Pitch (nm) (ℓ)	22	20	18	16	14	13	11
MPU Physical Gate Length (nm)	9	8	7	6.3	5.6	5.0	4.5
Cell area factor [a]	6	6	6	6	6	6	6
Cell area [Ca = a ²] (um ²)	0.0030	0.0024	0.0019	0.0015	0.0012	0.00096	0.00076
Cell array area at introduction (% of chip size) §	74.93%	75.00%	75.09%	75.18%	75.27%	75.36%	75.45%
Generation at introduction §	128G	128G	128G	256G	256G	256G	512G
Functions per chip (Gbits)	137.44	137.44	137.44	274.88	274.88	274.88	549.76
Chip size at introduction (mm ²) §	557	442	350	555	440	349	553
Gbits/cm ² at introduction §	24.67	31.11	39.24	49.50	62.44	78.77	99.36

Notes for Tables 1e and 1f:

§ DRAM Model—cell area factor (design/process improvement) targets are as follows:

1999–2006/8×: 2006–2022/6×. Due to the elimination of the “7.5,” “7,” and the “5” DRAM Cell design improvement Factors [a] in the latest 2005 ITRS DRAM consensus model, the addition of “Moore’s Law” bits/chip slows from 2× every 2.5–3 years to 2× every three years.

DRAM product generations were increased by 4× bits/chip every four years with interim 2× bits/chip generation. However, in the last model 2005 ITRS timeframe refer to Figures 8 and 9 for bit size and bits/chip trends:

1. at the Introduction phase, after the 16 Gbit generation, the introduction rate is 4×/six years (2×/three years); and
2. at the Production phase, after the 4 Gbit generation, the introduction rate is 4×/six years (2×/three years).

As a result of the latest DRAM consensus model changes for the 2007 ITRS, the InTER-generation chip size growth rate model target for Production-phase DRAM product are delayed an additional year and now remains “flat” at less than 93 mm², about one third smaller than the MPU model. However, with the pull-in of the 6^ℓ “cell area factor”, the flat-chip-size model target still requires the bits/chip “Moore’s Law” model for DRAM products to increase the time for doubling bits per chip to an average of 2× per 3 years (see ORTC Table 1c, 1d).

In addition to the revisions noted above, the cell array efficiency (CAE – the Array % of total chip area) was change to 56.1% after 2006. Only the storage cell array area benefits from the $6\times$ “cell area factor” improvement, not the periphery, however, the CAE pull-in enables the production-phase product chip size to meet the target flat-chip-size model. It can be observed in the Table 1c and d model data that the InTRA-generation chip size shrink model is still $0.5\times$ every technology cycle (to $0.71\times$ reduction) in-between cell area factor reductions.

Refer to the Glossary for definitions of Introduction, Production, InTERgeneration, and InTRAgeneration terms.

Table 1g MPU (High-volume Microprocessor) Cost-Performance Product Generations and Chip Size Model—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
MPU/ASIC Metal 1 (M1) ½ Pitch (nm) (f)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	23	20	18	16	14	13	11	10
SRAM Cell (6-transistor) Area factor ++	97.5	100.7	104.1	107.8	106.7	105.7	104.8	104.1	103.4
Logic Gate (4-transistor) Area factor ++	279	292	306	320	320	320	320	320	320
SRAM Cell (6-transistor) Area efficiency ++	0.63	0.63	0.63	0.63	0.63	0.63	0.63	0.63	0.63
Logic Gate (4-transistor) Area efficiency ++	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5
SRAM Cell (6-transistor) Area (um2)++	0.45	0.35	0.28	0.22	0.17	0.13	0.11	0.084	0.066
SRAM Cell (6-transistor) Area w/overhead (um2)++	0.73	0.57	0.45	0.35	0.27	0.22	0.17	0.13	0.11
Logic Gate (4-transistor) Area (um2) ++	1.3	1.0	0.82	0.65	0.51	0.41	0.32	0.26	0.20
Logic Gate (4-transistor) Area w/overhead (um2) ++	2.6	2.1	1.6	1.3	1.0	0.82	0.65	0.51	0.41
Transistor density SRAM (Mtransistors/cm ²)	827	1,057	1,348	1,718	2,187	2,781	3,532	4,484	5,687
Transistor density logic (Mtransistors/cm ²)	154	194	245	309	389	490	617	778	980
Generation at introduction *	p10c	p10c	p13c	p13c	p13c	p16c	p16c	p16c	p19c
Functions per chip at introduction (million transistors [Mtransistors])	773	773	1546	1546	1546	3092	3092	3092	6184
Chip size at introduction (mm ²) ‡	280	222	353	280	222	353	280	222	353
Cost performance MPU (Mtransistors/cm ² at introduction) (including on-chip SRAM) ‡	276	348	438	552	696	876	1104	1391	1753
Generation at production *	p07c	p07c	p07c	p10c	p10c	p10c	p13c	p13c	p13c
Functions per chip at production (million transistors [Mtransistors])	386	386	386	773	773	773	1546	1546	1546
Chip size at production (mm ²) §§	140	111	88	140	111	88	140	111	88
Cost performance MPU (Mtransistors/cm ² at production, including on-chip SRAM) ‡	276	348	438	552	696	876	1104	1391	1753

Table 1h MPU (High-volume Microprocessor) Cost-Performance Product Generations and Chip Size Model—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ Pitch (nm) (contacted)	22	20	18	16	14	13	11
MPU/ASIC Metal 1 (M1) ½ Pitch (nm) (t)	22	20	18	16	14	13	11
MPU Physical Gate Length (nm)	9	8	7	6.3	5.6	5.0	4.5
SRAM Cell (6-transistor) Area factor ++	102.8	102.2	101.7	101.3	100.9	100.5	100.1
Logic Gate (4-transistor) Area factor ++	320	320	320	320	320	320	320
SRAM Cell (6-transistor) Area efficiency ++	0.63	0.63	0.63	0.63	0.63	0.63	0.63
Logic Gate (4-transistor) Area efficiency ++	0.5	0.5	0.5	0.5	0.5	0.5	0.5
SRAM Cell (6-transistor) Area (um2)++	0.052	0.041	0.032	0.026	0.020	0.016	0.01
SRAM Cell (6-transistor) Area w/overhead (um2)++	0.083	0.066	0.052	0.041	0.032	0.026	0.020
Logic Gate (4-transistor) Area (um2) ++	0.16	0.13	0.10	0.081	0.064	0.051	0.040
Logic Gate (4-transistor) Area w/overhead (um2) ++	0.32	0.26	0.20	0.16	0.13	0.10	0.08
Transistor density SRAM (Mtransistors/cm ²)	7,208	9,130	11,558	14,625	18,497	23,394	29,588
Transistor density logic (Mtransistors/cm ²)	1,235	1,555	1,960	2,469	3,111	3,920	4,938
Generation at introduction *	p19c	p19c	p22c	p22c	p22c	p25c	p25c
Functions per chip at introduction (million transistors [Mtransistors])	6184	6184	12368	12368	12368	24736	24736
Chip size at introduction (mm ²) ‡	280	222	353	280	222	353	280
Cost performance MPU (Mtransistors/cm ² at introduction) (including on-chip SRAM) ‡	2209	2783	3506	4417	5565	7012	8834
Generation at production *	p16c	p16c	p16c	p19c	p19c	p19c	p22c
Functions per chip at production (million transistors [Mtransistors])	3092	3092	3092	6184	6184	6184	12368
Chip size at production (mm ²) §§	140	111	88	140	111	88	140
Cost performance MPU (Mtransistors/cm ² at production, including on-chip SRAM) ‡	2209	2783	3506	4417	5565	7012	8834

Notes for Tables 1g and 1h:

++ The MPU area factors are analogous to the “cell area factor” for DRAMs. The reduction of area factors has been achieved historically through a combination of many factors, for example—use of additional interconnect levels, self-alignment techniques, and more efficient circuit layout. However, recent data has indicated that the improvement (reduction) of the area factors is slowing, and is virtually flat for the logic gate area factor.

* p is processor, numerals reflect year of production; c indicates cost-performance product. Examples—the cost-performance processor, p04c, was introduced in 2002, but not ramped into volume production until 2004; similarly, the p07c, is introduced in 2004, but is targeted for volume production in 2007.

‡ MPU Cost-performance Model—Cost-performance MPU includes Level 2 (L2) on-chip SRAM (512Kbyte/2000) plus Logic (20M transistors in 1 core in year 2000); and the combination of both SRAM and logic transistor functionality doubles every technology cycle. The 2007 MPU model was revised by the Design TWG to introduce the doubling of logic cores every other technology cycle, but function size and density was kept unchanged by doubling the transistor/core targets. The Design TWG believed this approach to the MPU Model was more representative of current design trends.

§§ MPU Chip Size Model—Both the cost-performance and high-performance MPUs InTER-generation production-level chip sizes are modeled to be below affordable targets, which are flat through 2022 (280 mm²/cost-performance at introduction; 140 mm²/cost-performance at production; 310 mm²/high-performance at production). The MPU flat chip-size affordability model is accomplished by doubling the on-chip functionality every technology cycle. Actual market chip sizes may exceed the affordability targets in order to continue the doubling of on-chip functionality on a shorter cycle, but their unit costs and market values must be increased. In the 2005 ITRS, the MPU model now includes introduction-level high-performance MPU targets that shrink to the “affordable” targets (the same way the DRAM model operates). The InTRA-generation chip size shrink model is 0.5× every two-year density-driven technology cycle through 2004, and then 0.5× every three-year density-driven technology cycle after 2004, in order to stay under the affordable flat-chip-size target.

Refer to the Glossary for definitions.

Table 1i High-Performance MPU and ASIC Product Generations and Chip Size Model—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
MPU/ASIC Metal 1 (M1) ½ Pitch (nm) (f)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	23	20	18	16	14	13	11	10
Logic (Low-volume Microprocessor) High-performance ‡									
Generation at Introduction	p10h	p10h	p13h	p13h	p13h	p16h	p16h	p16h	p19h
Functions per chip at introduction (million transistors)	2212	2212	4424	4424	4424	8848	8848	8848	17696
Chip size at introduction (mm ²)	620	492	391	620	492	391	620	492	391
Generation at production **	p07h	p07h	p07h	p10h	p10h	p10h	p13h	p13h	p13h
Functions per chip at production (million transistors)	1106	1106	1106	2212	2212	2212	4424	4424	4424
Chip size at production (mm ²) §§	310	246	195	310	246	195	310	246	195
High-performance MPU Mtransistors/cm ² at introduction and production (including on-chip SRAM) ‡	357	449	566	714	899	1133	1427	1798	2265
ASIC									
ASIC usable Mtransistors/cm ² (auto layout)	357	449	566	714	899	1133	1427	1798	2265
ASIC max chip size at production (mm ²) (maximum lithographic field size)	858	858	858	858	858	858	858	858	858
ASIC maximum functions per chip at production (Mtransistors/chip) (fit in maximum lithographic field size)	3,061	3,857	4,859	6,122	7,713	9,718	12,244	15,427	19,436

Table 1j High-Performance MPU and ASIC Product Generations and Chip Size Model—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ Pitch (nm) (contacted)	22	20	18	16	14	13	11
MPU/ASIC Metal 1 (M1) ½ Pitch (nm) (f)	22	20	18	16	14	13	11
MPU Physical Gate Length (nm)	9	8	7	6.3	5.6	5.0	4.5
Logic (Low-volume Microprocessor) High-performance ‡							
Generation at Introduction	p19h	p19h	p22h	p22h	p22h	p25h	p25h
Functions per chip at introduction (million transistors)	17696	17696	35391	35391	35391	70782	70782
Chip size at introduction (mm ²)	620	492	391	620	492	391	620
Generation at production **	p16h	p16h	p16h	p19h	p19h	p19h	p22h
Functions per chip at production (million transistors)	8848	8848	8848	17696	17696	17696	35391
Chip size at production (mm ²) §§	310	246	195	310	246	195	310
High-performance MPU Mtransistors/cm ² at introduction and production (including on-chip SRAM) ‡	2854	3596	4531	5708	7192	9061	11416
ASIC							
ASIC usable Mtransistors/cm ² (auto layout)	2854	3596	4531	5708	7192	9061	11416
ASIC max chip size at production (mm ²) (maximum lithographic field size)	858	858	858	858	858	858	1716
ASIC maximum functions per chip at production (Mtransistors/chip) (fit in maximum lithographic field size)	24,488	30,853	38,873	48,977	61,707	77,746	195,906

Notes for Tables Ii and Ij:

* p is processor, numerals reflect year of production; c indicates cost-performance product. Examples—the cost-performance processor, p04c, was introduced in 2002, but not ramped into volume production until 2004; similarly, the p07c, is introduced in 2004, but is targeted for volume production in 2007.

‡ MPU High-performance Model—High-performance MPU includes Level 2 (L2) on-chip SRAM (2048Kbyte in year 2000) plus Logic (25M transistors in 1 core in year 2000), and the combination of both SRAM and logic transistor functionality doubles every technology cycle. The 2007 MPU model was revised by the Design TWG to introduce the doubling of logic cores every other technology cycle, but function size and density was kept unchanged by doubling the transistor/core targets. The Design TWG believed this approach to the MPU Model was more representative of current design trends.

§§ MPU Chip Size Model—Both the cost-performance and high-performance MPUs InTER-generation production-level chip sizes are modeled to be below affordable targets, which are flat through 2022 (280 mm²/cost-performance at introduction; 140 mm²/cost-performance at production; 310 mm²/high-performance at production). The MPU flat chip-size affordability model is accomplished by doubling the on-chip functionality every technology cycle. Actual market chip sizes may exceed the affordability targets in order to continue the doubling of on-chip functionality on a shorter cycle, but their unit costs and market values must be increased. In the 2005 ITRS, the MPU model now includes introduction-level high-performance MPU targets that shrink to the “affordable” targets (the same way the DRAM model operates). The InTRA-generation chip size shrink model is 0.5× every two-year density-driven technology cycle through 2004, and then 0.5× every three-year density-driven technology cycle after 2004, in order to stay under the affordable flat-chip-size target.

Refer to the Glossary for definitions.

チップ・サイズ、リソグラフィ・フィールド、ウェーハ・サイズのトレンド

2～3年毎に素子寸法が約30%縮小するにもかかわらず、IEEE (Institute of Electrical and Electronics Engineers) 主催の ISSCC (International Solid State Circuits Conference) などの技術フォーラムにおける発表では、先端メモリあるいはロジック製品の導入段階におけるチップサイズが6年毎に倍増している(年間約12%増)。ムーアの法則(1.5～2年ごとにチップあたりの機能が倍増する経験則)を維持するには、ビット/キャパシタ/トランジスタを年率40-60%増加させる必要があり、そのためにはチップ面積の増加が必要となる。その上で、先端製品のコスト/機能が年率～30%減少するという傾向を維持するには、設備生産性の増加、製造歩留りの向上、最大サイズ・ウェーハの使用、ウェーハとシリコン面積あたりの処理速度の維持あるいは増加、そして中でも1枚のウェーハ上の使用可能な機能単位(トランジスタ、ビット、ロジックのゲート)あるいはチップ数の増加、といったことが継続的に必要となる。

1枚のウェーハ上の使用可能な機能単位やチップ総数の増加は、主として素子サイズの小型化(縮小/スケールリング)と製品/プロセスの再設計(圧縮)の組合せによる機能又はチップ当たりの面積縮小により達成される。たとえば、最新のITRSチップサイズモデルを使うことで、低コスト製品世代の初期のチップ・サイズは一定のままにとどまるか、可能な限り維持することが予測されている。ここで世代間(世代対世代)機能は2年ごとに倍増する。さらに、各技術サイクル期間において、世代内年間縮小比率50%リソグラフィ縮小比率0.7xの二乗)でチップ・サイズを縮小することが必要となっており⁴、デザイン要素に関係ある密度の改善が可能であるのならこの縮小トレンドは更に加速されることになる。

手ごろな値段で購入できるDRAMやフラッシュメモリ製品でも、世代内でチップ・サイズをほぼ一定に維持するためにセル占有率も全チップ面積の58-63%に維持しなければならない。歴史的にDRAMやフラッシュメモリ製品はセルエリアファクタ a (セル・エリア Ca は $Ca=af^2$ で表される、fは最小機能サイズ)を小さくすることが必要となる。PIDS ITWG (International Technology Working Group)とFEP ITWGは、セル占有率目標、セルエリアファクタ、およびチップあたりのビット数に関するメンバー会社の調査データを提供している。さらにフロ

⁴ 訳注：年間縮小比率50%は多分間違い。テクノロジーサイクル毎に50%の縮小。

ントエンド・プロセスの章には、セル面積目標値を達成する解決策に対する課題とニーズが詳述されている。これら新しい課題を追跡／調整することが非常に重要なので、DRAMとフラッシュメモリのセルエリアファクタ、セル面積目標、チップ・サイズに対するセル占有率などの項目は ORTC Table 1c、1d、1e、1f にて実情追跡を継続していくことになる(詳細については、用語集参照)。

特に最新の調査データと入手可能な公開情報によれば、ITRS2007 のモデルに比べてDRAMセルエリアファクターの縮小トレンドは加速され、2006 年には 6 になっている(ITRS2005 では 2008 年から 6 だった)。セルエリアファクターはITRS2007 図表の最終年である 2022 年まで 6 が維持されると今でも予想されている。セルエリアファクターだけでなく、セル占有率が 56%になる年も 2006 年に早まるという調査結果が得られている。こうしたDRAMセル設計効率や機能密度の増加は、チップサイズに関して低めの目標であるスタート値(2007 年版では 100mm²、2005 年版では 140mm²)とトレードオフ関係にある⁵。そのため、DRAMに関するムーアの法則であるチップあたりのビット数目標設定を 1 年遅らせ、短期長期とも 3 年毎に 2 倍を維持することにした。64GDRAM製品はITRS2007 図表の最終年である 2022 年に位置することになる。(Figure8 と 9 の Function Size and Functions per Chip 参照)

改訂された ITRS2007 ORTC フラッシュ製品モデルでは、機能ビットサイズは依然として設計ファクター及びコンタクト無のポリシリコンの密ラインのスケージングに基づいて計算されている。2007 年に PIDS TWG が行った Flash に関する調査によれば、2008 年までは 2 年毎の急激なスケージングになるものの、SLC (Single Level Cell) の設計ファクターはずっと 4 のままで ITRS2005 と同じである。その結果、フラッシュチップサイズモデルにおいては機能(ビットサイズ)に必要な面積低減が加速され、フラッシュのコンタクト無のポリシリコンハーフピッチは、ジグザグにコンタクトが配置された DRAM の M1 ハーフピッチより 2 年先行することになった。Flash に必要なリソグラフィ装置は DRAM 最先端製品に使われると同レベルであるが、最先端のフラッシュ製造技術が半導体プロセス全体の製造技術を推進するようになっているとリソグラフィ TWG は信じている。

フラッシュの SLC ビット技術によって、2005 年には早くも 76nm のコンタクト無しポリシリコンハーフピッチと設計ファクター 4 が実現され、2008 年には 45nm までスケージングが可能であり SLC ビットサイズは 0.008um² となる。このセルサイズは、2008 年の DRAM セルサイズの半分以下である(ITRS2005 の Figure8 にある Product Function Chip Trends 参照)。フラッシュメモリ技術の継続的加速によって、DRAM 製品では未だ 2Gbit しか実現できない 2007 年に、Flash では 144mm² の 8Gbit SLC 製品が製造可能になる。さらにフラッシュメモリ技術では、同じ面積で電氣的にビットの数を倍増することができ(MLC; Multi-level-cell)、結果として実質的なチップあたりのビット数が倍増された 16Gbit の最初の製品を 140mm² で可能にする。PIDS TWG が行った Flash に関する調査によれば、4 値セルも 2010 年には生産される見込みである。

ITRS2001 では、設計 ITWG により MPU チップ・サイズ・モデルが改良され、最新のトランジスタ密度、大型オンチップ SRAM、小型目標チップ・サイズが反映された。設計 ITWG は、トランジスタ設計改善ファクタを含む追加詳細項目もモデルに追加している。元の設計 ITWG によるモデルでは、SRAMトランジスタの設計改善はスローペースで行われ、ロジック・ゲート・トランジスタでは設計改善が殆ど行われていなかった。ほとんど全ての「縮小」と密度改善はリソグラフィにより可能となった配線ハーフピッチのスケージングのみによりもたらされている。

⁵ 訳注:DRAM 世代(例えば 4GByte)内では最初の年が最もチップサイズが大きく、年毎に小さくなってゆく。(同じ世代の)3 年ごとにほぼ同一のチップサイズが繰り返されるが、ここで言うスタート値は各 DRAM 世代の最初の(最大の=低めの目標値)チップサイズの意味。正確には、最終の 2007 年版では 93mm²。

今回のITRS2007のMPUモデルは、2000年/180nm(もともとは1999年/180nm)から始まったものでITRS2001記載内容と変わりがなく、引き続き高性能MPU(310mm²)およびコスト-性能MPU(140mm²)双方に対してチップ・サイズ維持の傾向を考慮し、手ごろな値段と電力管理という相反する要求の結果が反映されている。2004年までのMPU 2年サイクル・ハーフピッチ”追いつきフェーズ”により、リソグラフィの改善だけでMPU製品は一定のチップ・サイズを保つことができた。しかし2004年以降、ITRSの技術世代に示されている世代間MPUチップ・サイズのモデルでは、テクノロジーサイクルごとにオンチップ・トランジスタの数を倍増させるペースを減速させることによるのみ、一定のチップサイズを維持することができる。2007年の改訂では、MPUモデルが設計TWGによって修正されたため、ロジックコア数は二世代毎に2倍になる。しかし、1コアあたりのトランジスタ数の目標も二世代毎に2倍としたので、トランジスタ数とトランジスタ密度は変わっていない。⁶設計TWGは、MPUモデルに対するこのアプローチが現在の設計トレンドを代表すると信じている。Figure8と9のFunction Size and Functions per Chip 参照。

3年テクノロジーサイクルで予測された結果を用いると、現在のMPUチップ・サイズ・モデルは、オンチップ・トランジスタに関するムーアの法則の増加率を3年毎倍増へと低下させる。チップ・サイズ一定の目標を達成しかつ2年ごとにオンチップ機能(トランジスタ)倍増という今までの傾向を達成するためには、MPUのチップ設計者およびプロセス設計者は、基本的なリソグラフィ依存のスケーリング傾向以外に設計/プロセスの改善を追加しなければならない。Table1g, 1h, 1i, 1jにMPUモデルの新しい目標値を要約して示す。

生産性を向上するには、製作プロセスの各ステップで良好なチップの生産量を増加しなければならない。1回の露光で複数チップをプリントする能力は生産性向上の主な原動力であり、その原動力はリソグラフィ装置のフィールド・サイズ、およびウェーハにプリントされるチップのサイズとアスペクト比により決定されている。今までのリソグラフィ露光フィールドサイズは、テクノロジーサイクル2世代毎に倍増してチップ・サイズ増大の需要を満たしていた。その結果、非常に広いステップ走査フィールド(26 x 33 = 858mm²)が達成された。

しかし、継続的に解像力の向上を図りながら大きなフィールドサイズを保つことは、大幅なコスト上昇を招くということが、リソグラフィITWGにより示された。そのため、リソグラフィITWGの提示するロードマップは、最大フィールドサイズとより代表的で可能なフィールドサイズについての両方の要求を満足するために、個々のメモリとロジック製品のチップサイズモデルに依存することになっている。

DRAMチップ・サイズは、歴史的に、最も困難な露光ハーフピッチと受入れ可能なリソグラフィ・フィールド・サイズを最も適切に示すと見なされてきた。ITRS2007のDRAMチップ・サイズ・モデルでは、導入レベルのチップ・サイズをリソグラフィ・フィールド704mm²よりも小さくして、少なくとも1個の導入レベル・チップ・サイズがフィールド内に収まるようにしている。今回、ITRS2007の量産DRAMチップサイズモデル(100mm²より小さいチップ・サイズ維持が目標)では、少なくとも5個のチップを572mm²のフィールド内に収めている。

テクノロジー世代のスケーリングとセル設計改善(A-ファクタの縮小)との組合せにより、2年ごとにオンチップ・ビットの倍増を果たしながら、この目標を達成することが可能となる。しかし上記の生産レベルチップサイズモデルで記述したように、DRAM設計改善スピードの低下と新たな量産チップサイズ目標100mm²を考慮すると、入手可能なチップサイズおよびリソグラフィ・フィールドの限界内にとどめるためには、追加するオンチップ・ビ

⁶ 訳注:CPUは1世代ごとに、デザインルールは0.7倍、チップ面積は一定となる。結果として、トランジスタ数/チップは2倍となり、これは以前の版のITRSと変っていない。ITRS2007の改訂では、その振り分けを、コア数/チップを1.4倍、トランジスタ数/コアを1.4倍としている。コア数は整数で、端数を許さないのので、2世代ごとにコア数/チップは2倍、トランジスタ数/コアは2倍となる。

ット数を減らすという要求が生じることになる。この要求は、量産のビット数／チップを1年遅らせてDRAMモデルでムーアの法則が示すビット／チップのトレンドをを3年毎に2倍へと下げることにより達成することができる。DRAMモデルのデータ目標をTable1c、1d、1e、1fに載せる。新たにフラッシュの量産チップサイズモデルも図表に追加し、最大の実現可能なチップサイズを140mm²とした。

リソグラフィ工程の最大フィールドサイズの絶対値は、高性能MPUやASICの初期導入時のチップサイズによって決定される。このサイズは、リソグラフィTWGによる最大入手可能サイズ(26 x 33 = 858mm²)で実現できる実際的なフィールドサイズとなる。マスク倍率レベルは将来は8xになるかもしれないので、その場合には最大フィールドサイズを現在の858mm²からその1/4に、すなわち214mm²以下に引き下げられることが予想される。⁷ 最大フィールドサイズの限界と、マスク倍率に関する課題に関連する詳細は、リソグラフィTWGにより、リソグラフィの章の中で示される。最大フィールドサイズは、Table 2a とb に示した。

ITRS2007におけるDRAMモデル、MPUモデル、及びフラッシュメモリモデルは、DRAMとMPUとフラッシュの設計およびプロセスの改善目標を達成できるかどうかにかかっている。達成できない場合は、現在のロードマップが示したより大きな露光チップ・サイズの方への圧力が高まるか、または、オンチップ機能に関する”Moore’s Law”の増加率がさらに低下することになる。いずれの結果でも、コスト／機能の低減率(半導体産業の生産性向上と競争力に関する古典的な尺度)にネガティブなインパクトをもたらすことになる。

コスト削減の圧力が高まる中で、特に先端的な段階にある製造業者にとって300mmの生産性を押し上げるニーズが急速に増大していくことになる。しかし、経済情勢の悪化は財政上の課題をもたらし、設備投資が抑制されることになった。Table 2aと2bにある最大ウェーハ径に関する内容(詳細はフロントエンドプロセスの章にも載っている)は、2001年に始まった300mmライン能力の増強と整合している。また、今回のロードマップでは、次の1.5倍ウェーハ・サイズ=450mm径ウェーハを用いた最初の半導体量産ラインが2012年までに必要という予測はまだ行われていない。しかしながら、他の生産性を向上させる推進力(リソグラフィ技術や設計／プロセスの改善)がスケジュール通りに実現しなかった場合、生産性の向上策として大口径ウェーハの使用を加速するか、あるいは同等の効果のあるプロセス改善をしなければならないだろう。

将来技術開発の加速／減速の影響や次のウェーハサイズへの転換のタイミングに依存して、包括的な長期的な工場の生産性モデルおよび経済モデルの開発と適用が必要となる。このような産業経済モデル化(industry economic modeling : IEM)は、SEMI (Semiconductor Equipment and Materials Institute)とSEMATECH (Semiconductor Manufacturing Technology Institute)が合同で資金援助と実働作業を行っている。最も確かなことは、将来の技術的・経済的要求を明確にするとともに必要とされる研究と開発に対する適切な投資メカニズムを導き出すために、半導体サプライヤやチップメーカーによる非競争領域での協働が必要であるということである。

⁷ 訳注: 厳しいマスク精度を緩和するためマスク倍率(マスク上とウェーハ上のパターンサイズ比率)が現在の1/4から1/8に変わる可能性がある。その場合、ウェーハ上のフィールドサイズは(1/2)x(1/2)で1/4になり、ウェーハ上の露光面積拡大という観点からは不利な方向である。

Table 2a Lithographic-Field and Wafer-Size Trends—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
Flash ½ Pitch (nm) (un-contacted Poly)(f)	54	45	40	36	32	28	25	22	20
MPU/ASIC Metal 1 (M1) ½ Pitch (nm) (f)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	23	20	18	16	14	13	11	10
Lithography Field Size									
Maximum Lithography Field Size—area (mm ²)	858	858	858	858	858	858	858	858	858
Maximum Lithography Field Size—length (mm)	33	33	33	33	33	33	33	33	33
Maximum Lithography Field Size—width (mm)	26	26	26	26	26	26	26	26	26
Maximum Substrate Diameter (mm)—High-volume Production (>20K wafer starts per month)									
Bulk or epitaxial or SOI wafer	300	300	300	300	300	300 or 450	300 or 450	300 or 450	300 or 450

Table 2b Lithographic-Field and Wafer Size Trends—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ Pitch (nm) (contacted)	22	20	18	16	14	13	11
Flash ½ Pitch (nm) (un-contacted Poly)(f)	18	16	14	13	11	10	9
MPU/ASIC Metal 1 (M1) ½ Pitch (nm) (f)	22	20	18	16	14	13	11
MPU Physical Gate Length (nm)	9	8	7	6	6	5	4
Lithography Field Size							
Maximum Lithography Field Size—area (mm ²)	858	858	858	858	858	858	858
Maximum Lithography Field Size—length (mm)	33	33	33	33	33	33	33
Maximum Lithography Field Size—width (mm)	26	26	26	26	26	26	26
Maximum Substrate Diameter (mm)—High-volume Production (>20K wafer starts per month)							
Bulk or epitaxial or SOI wafer	450	450	450	450	450	450	450

パッケージされたチップの性能

パッド数とピン数、パッドピッチ、ピン当りコスト、周波数

チップの機能を高めたいというニーズが、各製品世代に対応して増加するトランジスタ数/ビット(メモリセル)数の集積化を要求する。一般的には、チップ内のトランジスタの数が増加すると、集積回路への入出力(I/O)信号の入出力に必要なパッド数/ピン数も増加する(Table 3a and b を参照)。

付加的な電源・グラウンドのチップへの接続は、電源設計の最適化と雑音耐性の向上に必要である。テスト ITWG により提供されるチップパッド数に基づくと、MPU や高性能 ASIC などのロジック製品は ITRS のロードマップ期間に 4~6k パッドになる。MPU 製品のパッド数はその期間に約 50%増加し、ASIC のチップ当たりのパッド数は 2 倍になると予測される。2 種類の製品では電源・グラウンドパッドの割合が全く異なる。典型的な MPU のパッド数は、1/3 が I/O 信号パッドで、2/3 が電源・グラウンドパッドとなっており、1ヶの I/O 信号パッドに対して 2 ヶの電源・グラウンドパッドを持っている。MPU とは異なり、代表的は高性能 ASIC 製品のパッド数は 1 ヶの I/O 信号パッドに対して、1 ヶの電源・グラウンドを持つ。

Table 3a Performance of Packaged Chips: Number of Pads and Pins—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM $\frac{1}{2}$ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
Flash $\frac{1}{2}$ Pitch (nm) (un-contacted Poly)(t)	54	45	40	36	32	28	25	22	20
MPU/ASIC Metal 1 (M1) $\frac{1}{2}$ Pitch (nm) (t)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	23	20	18	16	14	13	11	10
Number of Chip I/Os (Number of Total Chip Pads)—Maximum									
Total pads—MPU unchanged	3,072	3,072	3,072	3,072	3,072	3,072	3,072	3,072	3,072
Signal I/O—MPU (% of total pads)	33.3%	33.3%	33.3%	33.3%	33.3%	33.3%	33.3%	33.3%	33.3%
Power and ground pads—MPU (% of total pads)	66.7%	66.7%	66.7%	66.7%	66.7%	66.7%	66.7%	66.7%	66.7%
IS: Total pads—ASIC High Performance unchanged	4,400	4,400	4,600	4,800	4,800	5,000	5,400	5,400	5,600
Signal I/O pads—ASIC high-performance (% of total pads)	50.0%	50.0%	50.0%	50.0%	50.0%	50.0%	50.0%	50.0%	50.0%
Power and ground pads—ASIC high-performance (% of total pads)	50.0%	50.0%	50.0%	50.0%	50.0%	50.0%	50.0%	50.0%	50.0%
Number of Total Package Pins—Maximum [1]									
Microprocessor/controller, cost-performance	600–2140	600–2400	660–2801	660–2783	720–3061	720–3367	800–3704	800–4075	880–4482
Microprocessor/controller, high performance	4000	4400	4620	4851	5094	5348	5616	5896	6191
ASIC (high-performance)	4000	4400	4620	4851	5094	5348	5616	5896	6191

Table3a and 3b の注記:

[1]プリント配線板(PWB)技術とシステムコストの観点から、狭ピッチエリアアレイ接続が使用される若干の応用例ではピン数は制限される。結果として、最大ピン数の適用は、より大きなピッチとより大きなパッケージサイズとなる。信号ピ比率の関係は用途に依存し、2:1 から 1:4 の範囲で変化する。

Table 3b Performance of Packaged Chips: Number of Pads and Pins—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ Pitch (nm) (contacted)	22	20	18	16	14	13	11
Flash ½ Pitch (nm) (un-contacted Poly)(f)	18	16	14	13	11	10	9
MPU/ASIC Metal 1 (M1) ½ Pitch (nm) (f)	22	20	18	16	14	13	11
MPU Physical Gate Length (nm)	9	8	7	6	6	5	4
Number of Chip I/Os (Number of Total Chip Pads)—Maximum							
Total pads—MPU unchanged	3,072	3,072	3,072	3,072	3,072	3,072	3,072
Signal I/O—MPU (% of total pads)	33.3%	33.3%	33.3%	33.3%	33.3%	33.3%	33.3%
Power and ground pads—MPU (% of total pads)	66.7%	66.7%	66.7%	66.7%	66.7%	66.7%	66.7%
IS: Total pads—ASIC High Performance unchanged	6,000	6,000	6,200	6,200	6,200	6,840	6,840
Signal I/O pads—ASIC high-performance (% of total pads)	50.0%	50.0%	50.0%	50.0%	50.0%	50.0%	50.0%
Power and ground pads—ASIC high-performance (% of total pads)	50.0%	50.0%	50.0%	50.0%	50.0%	50.0%	50.0%
Number of Total Package Pins—Maximum [1]							
Microprocessor/controller, cost-performance	880-4930	960-5423	960-5966	1050-6562	1050-7218	1155-7940	1155-8337
Microprocessor/controller, high-performance	6501	6826	7167	7525	7902	8297	8712
ASIC (high-performance)	6501	6826	7167	7525	7902	8297	8712

A&P ITWG により提供されたパッケージピン数 (Table 3a と 3b) とピン当たりコスト (Table 4a と 4b) のロードマップは、将来の製造経済学への課題を示している。ピン当たりコストは減少していくが、チップ内のトランジスタ数が予定通り増加すると、パッケージピン/ボール数も増加し続けると予測される。パッケージング全体の平均コストは毎年増加することになるので、パッケージ組立メーカにとって、コスト効率の良い解決策を提供することが大きな課題となる。

非常に競争の激しい家電用電子製品環境 (それは、設計やシステムドライバの章の主要な技術課題や解決策候補において、中心的製品区分であるが) において、PC や携帯電話のような大量生産するハイテク製品のコストは現状維持か、減少傾向となる。これらのハイテク製品は一般に、2 年毎に性能は 2 倍になる。これは先端の半導体メーカでの最終顧客の市場環境である。年間 30% またはそれ以上の比率 (2 年毎にコストは変わらず、チップ当たりの機能は 2 倍になる。つまり、年率 29%) で機能 (ビット、トランジスタ) 当たりコストが下がるという ITRS の経済的要求に基づく、重要なコストドライバである。

もし、将来の半導体製品の価格を維持または下げる事を目標とし、ピン当たりの平均コストは下がるがユニット当たりの平均ピン数が増加するならば、15 年間の ITRS ロードマップ期間で、トータル製品の製品コストに占める平均的なパッケージ比率は増加し続け、その結果として、総収益マージンを大幅に減少させ、研究開発と工場生産能力へ投資能力を制限することになる。

この結論が、マルチ・チップ・モジュール (System in Package : SiP) や COB (Chip on Board) やその他の創造的な解決策を用いた SoC (System on Chip) への機能統合により、システム全体のピン数要求を低減させる、産業動向に基づいた原動力の一つになっている。

機能当たりのコストを指数的に減少させながら、機能性を増加させる要求に加えて、更に高機能、低コスト製品に対する市場需要も存在する。消費者の需要を満たすために1.5~2年毎にチップの機能を2倍にするというムーアの法則が予測するように、より高速で電気信号を処理したいという要求がある。MPU の場合、毎秒当たりの処理命令数はこれまで、1.5~2年毎に倍増してきた。しかし、最新の ITRS2007 においては、オン・チップ周波数の増加率が年率約 8%以下に低下すると予測している。(用語解(Glossary)で言及するが)幾何学的なスケールングによってこれまで達成されてきた性能向上は現在、制御された電源設計を維持しながら、顧客への SoC や SiP やシステムレベルの性能の継続的な提供を可能にする、アーキテクチャやソフトウェアの改善によって実現されている。

MPU 製品においては、MIPs (Millions of Instructions per Second)の単位で扱われる処理能力は、「アーキテクチャ性能」(クロック・サイクル当たりの命令数)によって増加する「未加工の技術性能」(クロック周波数)の組合せを通して実現される。より高度な操作性能に対するニーズは、新しいプロセス、設計、パッケージ技術の開発を継続して要求する。

これらの考慮すべき問題は Table 4c and 4d に反映されている。Table 4c and 4d には、チップの最大性能の傾向を予測するために設計 TWG が提供する項目が含まれる。各製品世代に対応した最大周波数は、固有トランジスタ性能(on-chip, local clock)に直接関係する。配線間もしくは配線と基板間の容量結合による信号伝達遅延の劣化により、チップ内を伝わる信号の周波数と”local”周波数との差異が増加する。その他の信号劣化は、ワイヤボンドとパッケージリードのインダクタンスに関する。結局、フリップチップ接続は、パッケージで生じる寄生効果を取り除く、唯一の現実的な方法かもしれない。チップ内の信号と電源の配置を最適化するためには、配線数を増加し続けることが期待される。配線の微細化が今後も継続すると、チップの製造プロセスにおいて、低抵抗の Cu 配線や低誘電率(k~2-3)の各種の金属間化合物絶縁材料がより幅広く採用される。多重化手法もまた、基板上の動作周波数(off-chip)を増加されるために使用される。

Table 4a Performance and Package Chips: Pads, Cost—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
Flash ½ Pitch (nm) (un-contacted Poly)(f)	54	45	40	36	32	28	25	22	20
MPU/ASIC Metal 1 (M1) ½ Pitch (nm) (f)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	23	20	18	16	14	13	11	10
Chip Pad Pitch (micron)									
Pad pitch—ball bond [no update - deleted by A&P]	30	30	25	25	25	20	20	20	20
Pad pitch—wedge bond	25	25	25	25	25	25	25	25	25
Pad Pitch—area array flip-chip (cost-performance, high-performance)	130	130	120	120	120	110	110	100	100
Pad Pitch—2-row staggered-pitch (micron)	45	45	40	40	35	35	35	35	35
Pad Pitch—Three-tier-pitch pitch (micron)	50	50	45	45	40	40	35	35	35
Cost-Per-Pin									
Package cost (cents/pin) (Cost per Pin Minimum for Contract Assembly - Cost-performance) — minimum-maximum	.69-1.19	.66-1.13	.63-1.70	.60-1.20	.57-.97	.54-.92	.51-.87	.48-.83	.46-.79
Package cost (cents/pin) (Low-cost, hand-held and memory) — minimum-maximum	.27-.50	.25-.48	.24-.46	.23-.44	.22-.42	.21-.40	.20-.38	.20-.36	.20-.34

Table 4b Performance and Package Chips: Pads, Cost—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ Pitch (nm) (contacted)	22	20	18	16	14	13	11
Flash ½ Pitch (nm) (un-contacted Poly)(f)	18	16	14	13	11	10	9
MPU/ASIC Metal 1 (M1) ½ Pitch (nm) (f)	22	20	18	16	14	13	11
MPU Physical Gate Length (nm)	9	8	7	6.3	5.6	5.0	4.5
Chip Pad Pitch (micron)							
Pad pitch—ball bond [no update - deleted by A&P]	20	20	20	20	20	20	20
Pad pitch—wedge bond	25	25	25	25	25	25	25
Pad Pitch—area array flip-chip (cost-performance, high-performance)	95	95	90	90	85	85	80
Pad Pitch—2-row staggered-pitch (micron)	35	35	35	35	35	35	35
Pad Pitch—Three-tier-pitch pitch (micron)	35	35	35	35	35	35	35
Cost-Per-Pin							
Package cost (cents/pin) (Cost per Pin Minimum for Contract Assembly - Cost-performance) — minimum—maximum	.44 - .75	.42 - .71	.39 - .68	.37 - .64	.35 - .61	.33-58	0.32-0.55
Package cost (cents/pin) (Low-cost, hand-held and memory) — minimum—maximum	.20-32	.20-30	.20-29	.20-27	.20-26	.19-25	.19-25

Table 4c Performance and Package Chips: Frequency On-chip Wiring Levels—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
Flash ½ Pitch (nm) (un-contacted Poly)(f)	54	45	40	36	32	28	25	22	20
MPU/ASIC Metal 1 (M1) ½ Pitch (nm) (f)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	23	20	18	16	14	13	11	10
Chip Frequency (MHz)									
On-chip local clock [1]	4.700	5.063	5.454	5.875	6.329	6.817	7.344	7.911	8.522
Maximum number wiring levels [3] [**]	11	12	12	12	12	12	13	13	13

Table 4d Performance and Package Chips: Frequency On-chip Wiring Levels—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ Pitch (nm) (contacted)	22	20	18	16	14	13	11
Flash ½ Pitch (nm) (un-contacted Poly)(f)	18	16	14	13	11	10	9
MPU/ASIC Metal 1 (M1) ½ Pitch (nm) (f)	22	20	18	16	14	13	11
MPU Physical Gate Length (nm)	9	8	7	6	6	5	4
Chip Frequency (MHz)							
On-chip local clock [1]	9.180	9.889	10.652	11.475	12.361	13.315	14.343
Maximum number wiring levels [3] [**]	13	14	14	14	14	15	15

[**][注記**:配線 TWG は Table 80a & b から「optional level」を削除したので、ORTC の「最大配線層数-最大値 (Maximum number wiring levels - maximum)」も削除される。また、「最大配線総数-最小値 (Maximum number wiring levels - minimum)」は現在、「ワイヤ層数の最大値 (Maximum number of wiring levels)」になる。

Table 4c and 4d の注記:

[1]オンチップ周波数は、PIDS TWG より提供された基本的なトランジスタ遅延に基づいており、2007 年では 12 ヶのインバータ遅延の最大数となる。2007 年以降、PIDS モデルのトランジスタ遅延に対する 14.7%の基本減少率は、個々のトランジスタの年率 17.2%の周波数性能増加に帰着する。2005 年のロードマップでは、オンチップ周波数の動向は 2022 年まで、最大トランジスタ性能と同じ比率で増加した。PIDS TWG では 17%のトランジスタ性能の向上目標が継続されているが、設計 TWG は長期のオンチップ周波数を年率約 8%の向上に修正した。これは、チップ当たり最大 200W が可能な熱設計トレードオフを管理するため、最近のオンチップ周波数増加の鈍化と予期されるスピードとパワーの設計トレードオフに反映される。

[2]オフチップ周波数は、A&P モデルで定義され、A&P 章で利用される。

[3]内部接続のワイヤレベルの最大値は、電源、グランド、信号状態、集積化受動素子(すなわちコンデンサ)のために必要なオプションのレベルを含んでいる。

電氣的な欠陥密度

DRAM、MPU、ASIC の電氣的欠陥の密度に関する(量産の年に 83~89.5 %のチップ歩留を達成するのに必要な)最新目標を表 5a、5bに示す。DRAMとマイクロプロセッサについて表 1 で報告したように、最新チップ寸法モデルに基づき異なるチップ寸法を考慮して、許容可能な欠陥数を計算している。その上、図表内のデータは生産ライフサイクルの内量産レベルだけが報告されている。歩留向上についての章に載せた式を使用して、同一技術ノードでの異なるチップ寸法における他の欠陥密度を計算することが出来る。常に増加しているプロセス複雑性の指標として、ロジック・デバイス用マスク層の概数を載せている。

Table 5a Electrical Defects—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
Flash ½ Pitch (nm) (un-contacted Poly)(ℓ)	54	45	40	36	32	28	25	22	20
MPU/ASIC Metal 1 (M1) ½ Pitch (nm) (ℓ)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	23	20	18	16	14	13	11	10
DRAM Overall Electrical D_0 (faults/m ²) at Critical Defect Size or Greater §	2437	2437	2437	2437	2437	2437	2437	2437	2437
MPU Overall Electrical D_0 (faults/m ²) at Critical Defect Size or Greater §§	1395	1395	1395	1395	1395	1395	1395	1395	1395
# Mask Levels—MPU	33	35	35	35	35	35	37	37	37
# Mask Levels—DRAM	24	24	26	26	26	26	26	26	26

Table 5b Electrical Defects—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ Pitch (nm) (contacted)	22	20	18	16	14	13	11
Flash ½ Pitch (nm) (un-contacted Poly)(ℓ)	18	16	14	13	11	10	9
MPU/ASIC Metal 1 (M1) ½ Pitch (nm) (ℓ)	22	20	18	16	14	13	11
MPU Physical Gate Length (nm)	9	8	7	6.3	5.6	5.0	4.5
DRAM Overall Electrical D_0 (faults/m ²) at Critical Defect Size or Greater §	2437	2437	2437	2437	2437	2437	2437
MPU Overall Electrical D_0 (faults/m ²) at Critical Defect Size or Greater §§	1395	1395	1395	1395	1395	1395	1395
# Mask Levels—MPU	37	39	39	39	39	39	39
# Mask Levels—DRAM	26	26	26	26	26	26	26

Notes for Tables 5a and 5b:

D_0 —defect density

§ DRAM Model—cell area factor (design/process improvement) targets are as follows:

1999–2006/8×: 2006–2022/6×. Due to the elimination of the “7.5,” “7,” and the “5” DRAM Cell design improvement Factors [a] in the latest 2005 ITRS DRAM consensus model, the addition of “Moore’s Law” bits/chip slows from 2× every 2.5–3 years to 2× every three years.

DRAM product generations were increased by 4× bits/chip every four years with interim 2× bits/chip generation. However, in the last model 2005 ITRS timeframe refer to Figures 8 and 9 for bit size and bits/chip trends:

1. at the Introduction phase, after the 16 Gbit generation, the introduction rate is 4×/six years (2×/three years); and
2. at the Production phase, after the 4 Gbit generation, the introduction rate is 4×/six years (2×/three years).

§§ MPU Chip Size Model—Both the cost-performance and high-performance MPUs InTER-generation production-level chip sizes are modeled to be below affordable targets, which are flat through 2022 (280 mm²/cost-performance at introduction; 140 mm²/cost-performance at production; 310 mm²/high-performance at production). The MPU flat chip-size affordability model is accomplished by doubling the on-chip functionality every technology cycle. Actual market chip sizes may exceed the affordability targets in order to continue the doubling of on-chip functionality on a shorter cycle, but their unit costs and market values must be increased. In the 2005 ITRS, the MPU model now includes introduction-level high-performance MPU targets that shrink to the “affordable” targets (the same way the DRAM model operates). The InTRA-generation chip size shrink model is 0.5× every two-year density-driven technology cycle through 2004, and then 0.5× every three-year density-driven technology cycle after 2004, in order to stay under the affordable flat-chip-size target.

Refer to the Glossary for definitions.

電源と消費電力

いくつかの要因(消費電力の低下、トランジスタチャネル長の縮小、ゲート誘電体信頼性の向上)が電源電圧の低減(表 6a、6b参照)を押し進めている。表 6a、6b に示すように、現在、電源電圧の値は範囲で与えられている。

特定の V_{dd} 値の選択は、1個の IC について速度と電力を同時に最適化する解析の一部として続けられており、各製品世代の使用可能電源電圧の範囲をもたらしている。高性能プロセッサで 0.5V V_{dd} 値は 2022 年までには達成されないだろう。現在の V_{dd} 最低目標値は低消費電力応用製品で 2016 年に 0.5V となっており、2021 年には 0.45V に引き下げる目標になっている。

最大電力傾向(MPU 用)は 3 つのカテゴリで提示される。

- 1) 高性能デスクトップ・アプリケーション、パッケージのヒート・シンクを許容。
- 2) コスト重視型、最高性能の経済的な電力管理が最も重要。
- 3) 携帯電池運用(今や、アセンブリー・パッケージのTWGで「厳しい:Harsh」環境と名づけられている。)

全てのカテゴリで、低電源電圧の使用にもかかわらず、全体の電力消費量は増加し続けている。高チップ使用周波数(2007 年 ITRS では年率 17%から、年率 8%に大胆に引き下げられた)、配線全体の高容量と高抵抗、および指数的増加しかつスケール・アップするチップ上トランジスタのゲート・リーク(漏れ)の増大などが電力消費量の増加を押し進めている。

Table 6a Power Supply and Power Dissipation—Near-term Years

[1] Power will be limited more by system level cooling and test constraints than packaging

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
Flash ½ Pitch (nm) (un-contacted Poly)(f)	54	45	40	36	32	28	25	22	20
MPU/ASIC Metal 1 (M1) ½ Pitch (nm) (f)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	23	20	18	16	14	13	11	10
Power Supply Voltage (V)									
V _{dd} (high-performance)	1.1	1.0	1.0	1.0	0.95	0.90	0.90	0.90	0.80
V _{dd} (Low Operating Power, high V _{dd} transistors)	0.80	0.80	0.80	0.70	0.70	0.70	0.60	0.60	0.60
Allowable Maximum Power [1]									
High-performance with heatsink (W)	189	198	198	198	198	198	198	198	198
Maximum Affordable Chip Size Target for High-performance MPU Maximum Power Calculation	310	310	310	310	310	310	310	310	310
Maximum High-performance MPU Maximum Power Density for Maximum Power Calculation	0.61	0.64	0.64	0.64	0.64	0.64	0.64	0.64	0.64
Cost-performance (W)	104	111	116	119	119	125	137	137	137
Maximum Affordable Chip Size Target for Cost-performance MPU Maximum Power Calculation	140	140	140	140	140	140	140	140	140
Maximum Cost-performance MPU Maximum Power Density for Maximum Power Calculation	0.74	0.79	0.83	0.85	0.85	0.89	0.98	0.98	0.98
Battery (W)—(low-cost/hand-held)	3	3	3	3	3	3	3	3	3

Table 6b Power Supply and Power Dissipation—Long-term Years

[1] Power will be limited more by system level cooling and test constraints than packaging

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ Pitch (nm) (contacted)	22	20	18	16	14	13	11
Flash ½ Pitch (nm) (un-contacted Poly)(f)	18	16	14	13	11	10	9
MPU/ASIC Metal 1 (M1) ½ Pitch (nm) (f)	22	20	18	16	14	13	11
MPU Physical Gate Length (nm)	9	8	7	6.3	5.6	5.0	4.5
Power Supply Voltage (V)							
Vdd (high-performance)	0.80	0.70	0.70	0.70	0.65	0.65	0.65
Vdd (Low Operating Power, high Vdd transistors)	0.50	0.50	0.50	0.50	0.50	0.45	0.45
Allowable Maximum Power [1]							
High-performance with heatsink (W)	198	198	198	198	198	198	198
Maximum Affordable Chip Size Target for High-performance MPU Maximum Power Calculation	310	310	310	310	310	310	310
Maximum High-performance MPU Maximum Power Density for Maximum Power Calculation	0.64	0.64	0.64	0.64	0.64	0.64	0.64
Cost-performance (W)	151	151	151	151	151	151	151
Maximum Affordable Chip Size Target for Cost-performance MPU Maximum Power Calculation	140	140	140	140	140	140	140
Maximum Cost-performance MPU Maximum Power Density for Maximum Power Calculation	1.08	1.08	1.08	1.08	1.08	1.08	1.08
Battery (W)—(low-cost/hand-held)	3	3	3	3	3	3	3

コスト

表 7a と 7b はコストの傾向を示している。機能あたりのコストを年間に平均 29% 削減が可能なのは半導体産業に特有な特徴であり、定価格または低下した価格環境の中で 1.5~2 年ごとにチップ上機能の倍増を提供しつづけることは、市場圧力の直接的な結果である。このコスト削減圧力に対応するため、研究開発部門と製造部門では多額の設備投資を継続的に実施していかなければならない。工場あたりの投資額ベースでさえも、製造部門への設備投資額は上昇の一途を辿っている。しかし、歴史的に半導体産業は、チップ寸法とコストを増加させずに、または適度な増加によって、1.5~2 年ごとにチップあたりの機能倍増を提供しており、シリコンの cm²あたりではおおよそ一定コストとなっている。技術面の性能と経済面での効果が半導体産業の成長を支えてきた基本エンジンであった。

しかし、今日の競争的市場環境の中にいる顧客は僅かなコスト増加にさえも抵抗を示し、チップとユニットコストを制御するために、今までチップあたりの機能倍増のスピード(ムーアの法則)にも圧力を加えている。そのため、半導体メーカーは、半導体産業の成長を今まで担ってきた、同じような機能あたりのコスト削減必要条件を提供する新しいモデルを捜し求めなければならなくなっている。そのため、1999 年版 ITRS では所望の削減を達成する新しいモデルが提案されている。チップあたり定コストおよび平均販売価格(average selling price: ASP)で 2 年ごとに機能倍増を顧客に提供している。2001 と 2003、2005 そして 2007 年版 ITRS はそのモデルを使って、一機能(ビット、トランジスタ等)当たり 29%のコスト削減となる。今まで(1999 年以前は)、ユニットあたりのコストを 1.4×増の割合で 3 年ごとにチップあたりの機能 4 倍増を達成している。

2007 年版 ITRS の DRAM および MPU のコスト・モデルは、半導体産業の経済性の原動力として、機能生産性あたりのコストの 29% 削減レートへのニーズを使い続けている。そのため、DRAM およびマイクロプロセッサについて手ごろなコスト/ビットやコスト/トランジスタの世代内傾向を設定するために、この中心的な機能あたりのコストの傾向を使用してきた。今までの傾向から推測すると、8Gビット DRAM について、「初期の」手ごろな値段のコスト/ビットが 2003 年には約 5.3 マイクロセント(microcent)であることが示されている。加えて、その今

までの傾向は、1 DRAM世代内では年間 45%のコスト/ビット削減が期待されるべきであることを示している。⁸ これに対応して、マイクロプロセッサについて公表データを使って行った解析は同様な結果をもたらしている。⁹結果として、MPUモデルにも、同一世代内で 45%の削減レート値とともに、世代間で手ごろなコスト/トランジスタの削減目標値 29%/年が使用されている。

2007年版ITRSは元々の2001年版MPUチップ寸法モデルを使っている。設計ITWGは2001年版ITRSで当時のデータに基づいてMPUモデルを改訂している。当時のデータは、ロジック・トランジスタの寸法がリソグラフィのレート(技術サイクルごとに0.7×リニア縮小および0.5×エリヤ縮小)の割合でしか改善していないことを示している。そのため、MPUチップ寸法を一定に保つために、トランジスタの数は、技術サイクルごとにしか倍増していない。技術サイクルのレートは2001年180nmから2010年45nmまで2.5年サイクル、2010年以降に3年サイクルに戻ると予測されている。従って、2004年以降、より高いコストを許容する市場を持つ特別用途で、チップ寸法が増加を許されない限り、MPUチップあたりのトランジスタ数は3年ごとにしか倍増しないことになる。

DRAMメモリ・ビット・セル設計の改善スピードも、2007年版ITRS・DRAMチップ寸法モデル目標を反映して、スローダウンしている。「6」の設計ファクター、即ち「8」ファクターに対し25%の改善は2006年に実際に導入された(2005年ITRSでは2008年と記述)。しかし、更に「5」の設計ファクター目標は依然として期待できず、長期のコスト削減生産性を鈍化させている。更に、TWGのDRAM製造者の調査によれば、セル・エリヤ効率の目標が2006年以降56%に引き下げられた(2005年ITRSでは2008年と記述)。これらの最近のモデルの変更とより許容できる生産開始製品寸法(140mm²ではなく100mm²)の新しい目標がア相まって、将来チップあたりのビットのスピードも低下して、3年で2倍である。DRAMモデルの変化は64Gbit世代の生産(導入は2013年)を2033に遅らせ128Gbit(導入は2016年)は現在のITRSが記述する2022年まででは不可能となる。現在も変わらず最初の生産チップ寸法を140mm²以下の一定チップ寸法に保つために、2005年ITRS・DRAMチップ寸法モデルへこれらの調整が必要である。

DRAMとMPUにおけるチップあたりの機能のレート低下を補うために、チップやパッケージ、ボード、システムのレベルでのアーキテクチャや設計の等価生産性スケーリングから得られる利益から、変わりとなる生産性向上策を見出す方向への圧力がますます高まるだろう。

かりに将来チップ上機能の増加レートが低下したとしても、遅いレートながら機能/チップの量はまだ指数的に成長している。機能/チップの数が増加し続けるので、最終製品のテストはますます困難になり、従って、コストが高くなっている。これは、テストのコスト上昇に反映されている。テストされるピン数も増加する(表4a、4b)、これは全体のコスト負担(CoO)を増加させる付随する材料やカスタムのテスト機能ばかりでなくテストのコストも増大させる。それゆえ、組込みセルフ・テスト(Built-in Self Test: BIST)手法およびテスト容易化設計(Design-For-Testability :DFT)手法や製造容易化設計(Design for Manufacturing :DFM)の実現加速へのニーズは、2007年版半導体国際テクノロジーロードマップのタイムフレーム内で引き続いて存在する。詳しい説明はテストの章で述べる。

⁸ McClean, William J., ed. *Mid-Term 1994: Status and Forecast of the IC Industry*. Scottsdale: Integrated Circuit Engineering Corporation, 1994.

McClean, William J., ed. *Mid-Term 1995: Status and Forecast of the IC Industry*. Scottsdale: Integrated Circuit Engineering Corporation, 1995.

⁹ a) Dataquest Incorporated. *x86 Market: Detailed Forecast, Assumptions, and Trends*. MCRO-WW-MT-9501. San Jose: Dataquest Incorporated, January 16, 1995.

b) Port, Otis; Reinhardt, Andy; McWilliams, Gary; and Brull, Steven V. "The Silicon Age? It's Just Dawning," Table 1. *Business Week*, December 9, 1996, 148-152.

Table 7a Cost—Near-term Years

Year of Production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	36	32	28	25
Flash ½ Pitch (nm) (un-contacted Poly)(f)	54	45	40	36	32	28	25	22	20
MPU/ASIC Metal 1 (M1) ½ Pitch (nm) (f)	68	59	52	45	40	36	32	28	25
MPU Physical Gate Length (nm)	25	23	20	18	16	14	13	11	10
Affordable Cost per Function ++									
DRAM cost/bit at (packaged microcents) at samples/introduction	2.6	1.9	1.3	0.9	0.7	0.5	0.3	0.2	0.2
DRAM cost/bit at (packaged microcents) at production §	0.96	0.68	0.48	0.34	0.24	0.17	0.12	0.08	0.06
Cost-performance MPU (microcents/transistor) (including on-chip SRAM) at introduction §§	22.0	15.6	11.0	7.8	5.5	3.9	2.8	1.9	1.4
Cost-performance MPU (microcents/transistor) (including on-chip SRAM) at production §§	13.3	9.4	6.7	4.7	3.3	2.4	1.7	1.2	0.83
High-performance MPU (microcents/transistor) (including on-chip SRAM) at production §§	12.2	8.6	6.1	4.3	3.0	2.2	1.5	1.1	0.76

Table 7b Cost—Long-term Years

Year of Production	2016	2017	2018	2019	2020	2021	2022
DRAM ½ Pitch (nm) (contacted)	22	20	18	16	14	13	11
Flash ½ Pitch (nm) (un-contacted Poly)(f)	18	16	14	13	11	10	9
MPU/ASIC Metal 1 (M1) ½ Pitch (nm) (f)	22	20	18	16	14	13	11
MPU Physical Gate Length (nm)	9	8	7	6.3	5.6	5.0	4.5
Affordable Cost per Function ++							
DRAM cost/bit at (packaged microcents) at samples/introduction	0.1	0.1	0.1	0.0	0.0	0.0	0.0
DRAM cost/bit at (packaged microcents) at production §	0.04	0.03	0.02	0.01	0.01	0.01	0.01
Cost-performance MPU (microcents/transistor) (including on-chip SRAM) at introduction §§	0.97	0.69	0.49	0.34	0.24	0.17	0.12
Cost-performance MPU (microcents/transistor) (including on-chip SRAM) at production §§	0.59	0.42	0.29	0.21	0.15	0.10	0.07
High-performance MPU (microcents/transistor) (including on-chip SRAM) at production §§	0.54	0.38	0.27	0.19	0.13	0.10	0.07

Notes for Tables 7a and 7b:

++ Affordable packaged unit cost per function based upon average selling prices (ASPs) available from various analyst reports less gross profit margins (GPMs); 35% GPM used for commodity DRAMs and 60% GPM used for MPUs; 0.5×/two years inTER-generation reduction rate model used; .55×/year inTRA-generation reduction rate model used; DRAM unit volume life-cycle peak occurs when inTRA-generation cost per function is crossed by next generation, typically seven–eight years after introduction; MPU unit volume life-cycle peak occurs typically after four–six years, when the next generation processor enters its ramp phase (typically two to four years after introduction).

§ DRAM Model—cell area factor (design/process improvement) targets are as follows:

1999–2006/8×: 2006–2022/6×. Due to the elimination of the “7.5,” “7,” and the “5” DRAM Cell design improvement Factors [a] in the latest 2005 ITRS DRAM consensus model, the addition of “Moore’s Law” bits/chip slows from 2× every 2.5–3 years to 2× every three years.

DRAM product generations were increased by 4× bits/chip every four years with interim 2× bits/chip generation. However, in the last model 2005 ITRS timeframe refer to Figures 8 and 9 for bit size and bits/chip trends:

1. at the Introduction phase, after the 16 Gbit generation, the introduction rate is $4\times$ six years ($2\times$ three years); and

2. at the Production phase, after the 4 Gbit generation, the introduction rate is $4\times$ six years ($2\times$ three years).

As a result of the latest DRAM consensus model changes for the 2007 ITRS, the InTER-generation chip size growth rate model target for Production-phase DRAM product are delayed an additional year and now remains “flat” at less than 93 mm^2 , about one third smaller than the MPU model. However, with the pull-in of the $6\times$ “cell area factor”, the flat-chip-size model target still requires the bits/chip “Moore’s Law” model for DRAM products to increase the time for doubling bits per chip to an average of $2\times$ per 3 years (see ORTC Table 1c, 1d).

In addition to the revisions noted above, the cell array efficiency (CAE – the Array % of total chip area) was change to 56.1% after 2006. Only the storage cell array area benefits from the $6\times$ “cell area factor” improvement, not the periphery, however, the CAE pull-in enables the production-phase product chip size to meet the target flat-chip-size model. It can be observed in the Table 1c and d model data that the InTRA-generation chip size shrink model is still $0.5\times$ every technology cycle (to $0.71\times$ reduction) in-between cell area factor reductions.

§§ MPU Chip Size Model—Both the cost-performance and high-performance MPUs InTER-generation production-level chip sizes are modeled to be below affordable targets, which are flat through 2020 (280 mm^2 /cost-performance at introduction; 140 mm^2 /cost-performance at production; 310 mm^2 /high-performance at production). The MPU flat chip-size affordability model is accomplished by doubling the on-chip functionality every technology cycle. Actual market chip sizes may exceed the affordability targets in order to continue the doubling of on-chip functionality on a shorter cycle, but their unit costs and market values must be increased. In the 2007 ITRS, the MPU model still includes introduction-level high-performance MPU targets that shrink to the “affordable” targets (the same way the DRAM model operates). The InTRA-generation chip size shrink model is $0.5\times$ every two-year density-driven technology cycle through 2004, and then $0.5\times$ every three-year density-driven technology cycle after 2004, in order to stay under the affordable flat-chip-size target. . The 2007 MPU model was revised by the Design TWG to introduce the doubling of logic cores every other technology cycle, but function size and density was kept unchanged by doubling the transistor/core targets. The Design TWG believed this approach to the MPU Model was more representative of current design trends.

Refer to the Glossary for definitions.

用語集

主要なロードマップ技術特性用語（所見と解析）

2007 年 ITRS の「ムーア」と「モアザンムーア」概念に対する新定義

ムーアの法則: 「チップ(ビット、トランジスタ)あたりの機能に対する市場の要求(そして半導体産業の対応)は 1.5~2 年ごとに倍増する」という、インテル社の役員である Gordon Moore 氏が歴史的所見として唱えた法則。また、MPU 性能 [クロック周波数(MHz)×クロックあたりの命令数=百万命令/秒 MIPS (millions of instructions per second)] も 1.5~2 年ごとに倍増すると Moore 氏は述べた。「自己完結型」の予言と見なす人もいたが、過去 30 年間にわたって「ムーアの法則」は最先端の半導体製品と企業にとって、一貫した大勢の傾向であり、重要な指針となっている。

スケーリング(「ムーア」)

- 幾何学的スケーリング(電場一定)とは、チップ上のロジックとメモリが集積密度(機能当たりのコスト削減)、性能(速度、電力)と信頼性の値を応用製品と最終顧客にあわせて向上させることである。
- 等価スケーリングとは、幾何学的スケーリングとともに用いられ、幾何学スケーリングを実現し、継続するためのもので、チップの電气的性能に影響を及ぼす 3 次元のデバイス構造(「設計係数」)改善と他の非幾何学的プロセス技術や新材料を指している。

機能の多様化(「モアザンムーア」)

機能の多様化とは、ムーアの法則に必ずしも従ってスケールしない機能を、最終顧客に付加価値をもたらすために、デバイスに取り入れることを言っている。モアザンムーア手法とは、典型的には、デジタルではない機能(例えば、RF 通信、電源制御、受動素子、センサー、アクチュエータ)を、システムのプリント板から、特別のパッケージ(SiP)中か、チップ上に取り込む潜在的解決策である。

主要市場の特性

技術サイクルタイム期間: 製品のスケールを 1 期間で 0.71 倍にするか、2 期間で 0.50 倍にするタイミングを言う。カスタム化されたパターン配置の(即ち千鳥配置のコンタクト/ビアを伴う)配線の最小ハーフピッチが、高密度(単位機能当たりで低コストな)DRAM と MPU/ASIC 集積回路の製造を可能にするプロセス能力を最も良く代表するため、ITRS の技術サイクルの定義に選ばれた。FLASH 製品技術サイクル・タイミングはコンタクトが無い高密度ポリラインのハーフピッチで定義されている。各製品特有の技術サイクル・タイミングには、何の製品であれ、メタルかポリシリコンのハーフピッチの中で、最小の値を採用する。歴史的に、DRAM はメタルピッチでリードしてきたが、将来は他の製品が代わる可能性もある。

IC 技術を特徴付けるために他のスケーリングのパラメータも重要である。DRAM 技術では、最小の経済的なチップ寸法に要求される一層目の千鳥コンタクト有り高密度配線のハーフピッチが代表である。しかし、マイクロプロセッサ(MPU)などのロジックについては、物理ゲート最下部の孤立長さが最高性能に必要な最先端技術レベルの最も代表的なものであり、リソで描画後更にエッチングして最も小さいパターン目標を達成している。MPU や ASIC ロジックの配線ハーフピッチプロセス要求は、通常千鳥コンタクトがあるメタル層(M1)を指しており、DRAM の千鳥コンタクト有り M1 ハーフピッチより僅かに遅れている。最小ハーフピッチは通常チップのメモリ・セルの領域に見出される。各技術サイクル時間(1つのサイクル期間で 0.71 倍、2 つのサイクル期間で 0.50 倍の縮小)ステップは重要な技術の、装置や材料の進歩の創造を、千鳥コンタクトありメタルハーフピッチ(DRAM, MPU/ASIC)あるいは、コンタクト無のポリシリコン(FLASH 製品)であらわしている。

例として、180nm、130nm、90nm、65nm、45nm、32nm、22nm の DRAM ハーフピッチがある。

機能あたりコスト製造生産性改善の原動力: ムーアの法則に加えて、この「法則」の歴史に基づいた「当然の結果」が存在する。それは、競争力のある製造生産性の改善は、機能あたりのコスト(ビットまたはトランジスタあたりマイクロセント(microcent))の年間 29%削減を可能にすることである。歴史的に言えば、機能が 1.5 年ごと

に倍増すると、チップ(実装済みユニット)あたりのコストは6年で倍増するが、それでも機能あたりのコスト削減要求を満たしている。2005年版ITRSで意見の一致をみたDRAMモデルとMPUモデルが指摘するとおり、機能が3年ごとに倍増する場合はチップ(実装済みユニット)あたりの製造コストを一定にしなければならない。

手ごろな値段の実装されたユニットのコスト/機能: テストされパッケージに組み込まれたチップのコストを、チップ当りの機能で割り算し、マイクロセントで表した最終コスト。手ごろなコストは、手ごろな販売価格 [特定の製品世代の年間総収入を年間ユニット出荷高で割る] から荒利マージン(DRAMには約35%、MPUには約60%)を引き算するという歴史的な傾向により計算される。機能あたりの手ごろな値段は、将来市場の「トップダウン」型ニーズのガイドラインであり、このように、チップ寸法および機能密度とは独立に作成される。値段が手ごろであることの要件は、1) 技術改善と設計改善による密度の増加とチップ寸法の小型化、2) ウェーハ直径の拡大、3) 設備所有コストの削減、4) 設備全体における設備有効性の向上、5) パッケージ・コストおよびテスト・コストの削減、6) 設計ツール生産性の向上、7) 製品アーキテクチャおよびインテグレーションの改善、を組み合わせ達成されることが期待される。

DRAMとFLASH世代(製品世代ライフサイクルの中で): ある年、ある製造技術能力、あるライフサイクル成熟度(学会レベル、試作レベル、量産レベル、量産増大レベル、量産ピーク)で導入されたDRAMとFLASH製品世代の予想チップ当たりビット数。

Flash Single-Level Cell (SLC): フラッシュ不揮発性メモリでセル領域に1物理ビットの記憶だけを行うもの。

Flash Multi-Level Cell (MLC): 同じ物理的領域に2ビットのデータを電氣的に蓄え、読み出すことが出来る。

MPU世代(製品世代ライフサイクルの中で): ある年、ある製造技術能力、あるライフサイクル成熟度(学会レベル、導入レベル、量産レベル、量産増大レベル、量産ピーク)で導入されたマイクロプロセッサの製品世代機能(ロジックとSRAMを含む)に関する汎用プロセッサ世代の区分。

コスト重視MPU: チップ上のSRAMレベル2(L2)キャッシュ(例: 1Mバイト/2001)の量を制限して最高性能と最低コストへの最適化を図ったMPU製品。ロジック機能およびL2キャッシュは一般的に2年から3年技術サイクル(サイクル期間毎0.71倍)世代ごとに倍増する。

高性能MPU: 単一または複数CPUコア(例、2002年に25Mトランジスタコアを2つ)と大型(例、4Mバイト/2002年)レベル2(L2)SRAMの組合せで、最高システム性能への最適化を図ったMPU製品。チップ上のCPUコアと付属メモリの倍増により、ロジック機能およびL2キャッシュが一般的に2から3年技術サイクル(サイクル期間で0.71倍)世代ごとに倍増する。

世代間製品: 手ごろなチップ寸法でチップ上の機能を定期的に倍増させようとする世代間製品目標。ムーアの法則(2x/2年)を維持しつつ経済性成熟度(定チップ寸法およびユニットあたり製造コスト一定)を確保するように、目標を設定する。この2年ごとの定コストでの倍増は、機能あたりのコスト削減レート(逆生産性改善)が年間29%(歴史的な目標削減割合)となることを保証する。2年ごとにチップ上の機能を倍増するため、技術・サイクルのスケールリング(0.7x長さ、0.5x面積)が3年ごとの場合は、チップ寸法は増加せざるを得ない。

現在の2005年版ITRSコンセンサス目標は、DRAMの増加レートについて2年ごとに2x/チップから平均で3年ごとに2x/チップになった。歴史的にDRAMセルの設計者は要求されたセル・エリヤ・ファクタ改善を果たして来たが、このゆっくりしたビット/チップの成長は2005年版ITRSの新しく合意したセル・エリヤ・ファクタ改善予測が、2008年まで6で以降改善されないためである。現在では、MPUトランジスタのエリヤはリソグラフィによる削減率でしか縮小していない(事実上、設計関連改善ゼロ)。従って、ロードマップ期間を通して、最大の面積の導入チップ、値段が手ごろな量産チップで一定チップ寸法を維持するために、2005年版ITRS MPU世代間機能モデルの目標は技術サイクル時間ごとに2xトランジスタ/チップである。

世代内製品: ある一定の機能/チップ製品世代内のチップ寸法シュリンク傾向。2003年版ITRSコンセンサス・ベース・モデルの目標は、ロードマップ期間の全時点で利用可能な最新の製造/設計技術を使用して、チップ寸法を縮小する(シュリンクと「カットダウン」により)ことである。世代内のDRAMおよびMPUチップ寸法縮小のITRS目標は0.71倍の技術サイクル・タイミングで1世代当たり50%である。

デモンストレーションの年: 設計そして/または技術・ノードの処理実行可能性ならびに巧みさを明らかにするため、先行チップ・メーカが製品の動作サンプルを供給する年。代表的なデモンストレーション会場は米国電気電子学会(IEEE、Institute of Electrical and Electronics Engineers)主催の国際固体回路会議(ISSCC、International Solid State Circuits Conference)などの主要な半導体産業の学会である。一般的に、デモンストレーション・サンプルは、開発初期レベルまたはデモンストレーション・レベルの製造ツールおよびプロセスで製造される。今まで、DRAM製品は、実際の市場導入より一般的に2~3年先立って、先端プロセス・技術・ノードで3年から4年ごとに4xビット/チップの割合で示される。DRAMデモンストレーション・チップ寸法は6年から8年ごとに倍増しており、市場への導入が経済的に実行可能になる前に多数の縮小と遅延が必要となる。チップ寸法がリソグラフィ設備使用可能な露光領域よりも大きくなるのが頻繁に起こり、極少量の研究サンプルでしか実行出来ない複数回露光手法により、「繋ぎ合わせ」なければならない。

例: 1997年/ISSCC/1Gb DRAM、対 ITRS 1Gb 1999年導入レベル、2003年生産レベル目標

導入の年: 先行チップ・メーカが少量(<1K)のエンジニアリング・サンプルを供給する年。サンプルは認定された生産設備とプロセスで生産され、早期評価のために主な顧客に提供される。製品を追加の設計ファクタの改善でチップの縮小や機能の追加が可能となるが、この改善が無い限り、タイムリーな市場への参入と経済的な生産をバランスさせるために、技術サイクル毎(サイクル期間で0.71倍)に2x機能/チップの割合で導入していく。更に、チップ寸法のシュリンクまたは「カットダウン」のレベルが達成されるまで、メーカは生産を遅らせる。これが世代間チップ寸法の成長を一定にしている。

生産の年: 先導チップ・メーカが顧客の製品で認定された*生産設備とプロセスで生産した製品の大量出荷を開始し、第2のメーカが3ヶ月以内に追従した年。(*注:実際の量産立ち上げは1ヶ月から12ヶ月の間で顧客製品認定の期間によって変わる。)先端的な性能を備え縮小(シュリンク)した新製品への需要が増すにつれ、生産装置技術とプロセス技術は製造能力の急速な拡充のために複数の装置モジュールへ「コピー」されていく。

高需要製品については、一般的に量産立ち上げから工場計画能力まで持つて行くのに12ヶ月以内で可能となる。一般的に量産立ち上げより24-36ヶ月先立って、アルファ・レベル製造設備および技術に関する研究論文が提供される。ベータ・レベル設備は、一般的に立ち上げより12-24ヶ月先立って、半導体業界会議への提出論文とともに提供される。ベータ・レベル設備はパイロット・ライン工場で生産レベルにされるが、完全な顧客製品認定を可能とするために量産立ち上げ「タイム・ゼロ」(エグゼクティブ・サマリーの図3参照)の12-24ヶ月前には完了しなければならない。パイロット・ライン工場は、大量生産立ち上げ前の顧客によるサンプルと早期認定用にしばしば使用される製品を少量生産することも可能である。中規模生産レベルのDRAMが、小規模生産レベルのDRAMと同時に生産段階に入り、そして、縮小された前世代のDRAMも同時に大量生産されている(例:2003年:1Gb/生産、4G/導入、加えるに512Mb/256Mb/128Mb/64Mb 大量生産)。同様に、大量生産のコスト重視型MPUが少量生産の大チップ高性能MPUと同時に生産段階に入り、そして、縮小(シュリンク)された前世代MPUも同時に大量生産されている。

機能/チップ: 利用可能な技術レベルで、単一モノリシック・チップ(single monolithic chip)上に低コストで製造できるビットの数(DRAM)またはロジック・トランジスタの数(MPU/ASIC)。ロジック機能(チップあたりのトランジスタ数)はSRAMおよびゲート機能ロジック・トランジスタ数の双方を含む。DRAM機能(チップあたりのビット数)は単一モノリシック・チップ上のビット数(冗長後)だけに基づく。

チップ寸法(mm²): 利用可能な最良な先端の設計および製造プロセスに基づき、ある年に経済的に見合ったやり方で製造できるモノリシック・メモリおよびロジック・チップの代表的な面積。(データの歴史的な傾向とITRSのコンセンサスに基づいて、推定値を予測)

機能/cm²: 所与の面積(square centimeter)での機能密度 = チップ寸法で割った単一モノリシック・チップ上の機能。パッド・エリヤおよびウェーハ・スクライブ・エリヤを含む、チップ上の全機能に関する密度の平均値である。DRAMの場合、高密度セル・アレイおよび低密度周辺ドライブ回路の平均値を含む。MPU製品の場合、高密度SRAMおよび低密度ランダム・ロジックの平均値を含む。ASICの場合、高密度内蔵メモリ・アレイを含

み、低密度アレイ・ロジック・ゲートおよび機能コア高密度内蔵メモリ・アレイで平均する。2003年版ITRSでは、一般的な高性能ASIC設計の平均密度は、殆どSRAMトランジスタである高性能MPUと同じであると予想されている。

DRAM セル・アレイ・エリヤ(面積)・パーセンテージ: 世代ライフサイクルの様々な段階でセル・アレイが占有できるトータル DRAM チップ・エリヤ(面積)の実用的な最大パーセンテージ。周辺回路、パッド、ウェーハ・スクライブ・エリヤ用スペース確保のため、導入チップ寸法目標では、このパーセンテージが一般的に70%未満である。パッドおよびスクライブ・エリヤは、リソグラフィでスケールしないので、他の世代内シュリンク・レベルでは最大アレイ・エリヤ・パーセンテージが減少する(一般的に、量産レベルでは63%未満、前世代の小さいシュリンクしたダイの大量生産立上げレベルでは50-55%未満)。

DRAM セル・エリヤ(μm^2): 指定 ITRS コンセンサスのセル・エリヤ・ファクタ(A)×最小ハーフピッチ(f)像寸法の二乗で表した、DRAMメモリ・ビット・セル占有エリヤ(面積)(C)。即ち、 $C = Af^2$ 。チップ寸法を計算するには、セル・エリヤをアレイ効率で割り算しなければならない。アレイ効率-係数(E)は過去のDRAMチップ解析データから統計的に求める。このように、平均セル・エリヤ(C_{AVE})は計算可能であり、これにはドライバ、I/O、バス・ライン、パッド・エリヤなどのオーバーヘッドが含まれている。計算式は $C_{\text{AVE}} = C/E$ となる。

それから、(ビット/チップの全数× C_{AVE})でトータルのチップ・エリヤが計算できる。

例: 2000: $A=8$; ハーフピッチの二乗、 $f^2 = (180 \text{ nm})^2 = 0.032 \mu\text{m}^2$; セル・エリヤ、 $C = Af^2 = 0.26 \mu\text{m}^2$; 1Gb 導入レベル DRAM についてセル効率がトータル・チップ・エリヤの70% ($E=70\%$)、 $C_{\text{AVE}} = C/E = 0.37 \mu\text{m}^2$; 従って、1Gb チップ寸法エリヤ= 2^{30} ビット* $0.37 \times 10^{-6} \text{ mm}^2/\text{ビット} = 397 \text{ mm}^2$

DRAM セル・エリヤ・ファクタ: 数値(A)、これをハーフピッチ(f)の二乗に掛けることでDRAMセル・エリヤ(面積)(C)を表す。一般的に、セル・ファクタはセルが占めるハーフピッチ単位の縦・横単位数の掛け算で表される。(2×4=8、2×3=6、2×2=4、など)

FLASH セル・エリヤ・ファクタ: DRAMと同じsingle-level cell(SLC)のエリヤ・ファクタ。しかし、Flash技術は同じセル領域に2ビットを蓄え電氣的に読み出すことが出来き、multi-level-cell(MLC)「仮想」ビット寸法、これはSLCの製品セル寸法の半分でSLC Flash製品の半分の仮想エリヤ・ファクタも持つことになる。

SRAM セル・エリヤ・ファクタ: DRAMセル・エリヤ・ファクタと同じだが、6トランジスタ(6t)ロジック-技術・ラッチ型メモリ・セルだけに適用する。数値は、技術・ノード・ハーフピッチ(f)の二乗に掛け合わせることでSRAM6トランジスタ・セル・エリヤ(面積)を表す。一般的に、SRAM6tセルのセル・ファクタはDRAMメモリ・セル・エリヤ・ファクタより16~25倍大きい。

ロジック・ゲート・セル・エリヤ・ファクタ: DRAMおよびSRAMセル・エリヤ・ファクタと同じだが、一般的な4トランジスタ(4t)ロジック・ゲートだけに適用する。数値は、技術・ノード・ハーフピッチ(f)の二乗に掛け合わせることでロジック4tゲート・エリヤ(面積)を表す。一般的に、ロジック4tゲートのセル・ファクタはSRAM6tセルエリヤ・ファクタより2.5~3倍大きく、DRAMメモリ・セル・エリヤ・ファクタより40~80倍大きい。

使用可能なトランジスタ数/ cm^2 (高性能ASIC,自動レイアウト): 少量生産される高差別化アプリケーション向けの、自動レイアウトで設計したトランジスタ数/ cm^2 の数値。高性能、リーディングエッジ、アレイ内臓(エンベ)ASICはオンチップ・アレイ・ロジック・セルならびに高密度機能セル(MPU、I/O、SRAMなど)を含む。密度計算は、高密度機能セルの全トランジスタに加えて、アレイ・ロジック・セルにおける接続した(使用可能な)トランジスタも含む。最大高性能ASICの設計は利用可能な生産リソグラフィ露光領域全てを占める。

チップおよびパッケージ-物理属性と電氣的な属性

チップ I/O の数-トータル(アレイ)パッド: 「チップ信号 I/O パッド」 + 「機能またはテスト用としてパッケージ・プレーンに常時接続した、または(信号条件を整えるものを含む)電源/接地コンタクトを提供する、電源パッドおよび接地パッド」の最大数。これには、全ての直接チップ・ツウ・チップ配線またはボードへの直接チップ取付接続を含む(全ての配線プレーン、リードフレーム、またはパッケージ内の他の配線技術、即ち、チップ上ま

たはボード上に存在しない全ての配線として、パッケージ・プレーンを定義する)。信号 I/O パッド対接地パッドは、MPU が一般的に 1:2 の比率であるが、高性能 ASIC では一般的に 1:1 の比率である。

チップ I/O の数—トータル(周辺)パッド: 「チップ信号 I/O パッド」 + 「チップのエッジ周りだけコンタクトによる製品向けの電源パッドおよび接地パッド」の最大数。

パッド・ピッチチップ: 周辺エッジまたはチップを横切るパッド・アレイにて、パッド間の中心から中心までの距離。

パッケージのピン/ボールの数: パッケージにある、ボード接続用のピン、または、はんだボールの数(この数は、パッケージ・プレーン上の内部電源/接地プレーンまたはパッケージあたりの複数チップにより、チップ・ツウ・パッケージ・パッドの数よりも少ないことがある)。

パッケージ・コスト(コスト重視): セント/ピンで表した、パッケージ包装および外部 I/O 接続(ピン・ボール)のコスト

チップ周波数 (MHz)

オンチップ、ローカル・クロック、高性能: チップのローカル化した部分における、高性能少量生産型マイクロプロセッサのオンチップ周波数。

チップ・ツウ・ボード(オフチップ)速度(高性能、周辺バス): 大量および少量生産型ロジック・デバイスのボード周辺バスへの、最高信号 I/O 周波数。

他の属性

リソグラフィ・フィールド寸法(mm²): ある技術ノードでのリソグラフィ装置のシングルステップ露光領域またはステップ走査露光領域。仕様は、ある技術ノードについて半導体メーカーが指定する可能性がある最低仕様値を表す。最大フィールド寸法は ORTC 目標値よりも大きな値で指定されることがあり、最終露光領域は露光幅と走査長の様々な組合せで達成できる。

配線層数の最大数: ローカル配線、ローカルおよびグローバルなルーチング、電源および接地接続、クロック分布などを含む、チップ上の配線層数。

製作の属性と方式

電氣的な D₀ 欠陥密度(dm⁻²): 与えられた技術ノード、製品ライフサイクル年、目標プローブ歩留における、平方メートルあたりの電氣的に意味のある欠陥の数。

最小マスク・カウント: 最大配線層数にて成熟生産しているプロセス・フローにおける、マスク層の数(ロジック)。

最大基板直径(MM)

バルクまたはエピタキシャルまたはSOIウェーハ: 主流 IC サプライヤが大量に使用するシリコン・ウェーハの直径。ファクトリ・インテグレーション ITWG 提供の ITRS タイミング目標は、最初の月間 20K ウェーハ・スタート製造設備に基づいている。

電氣的な設計とテストの数値

電源電圧(V)

最低ロジック V_{dd} : 設計要求条件での動作に関する、電源からのチップ公称使用電圧。

ヒートシンクを備えた高性能の最大電力(W): 外部ヒートシンクを備えた高性能チップで放散される最大トータル電力。

電池寿命(W): 電池作動型チップで放散される最大トータル電力/チップ。

設計およびテスト

量産用テストのコスト/ピン(\$K/ピン): 量産適用において、機能(チップ分類など)テスト・コストをパッケージ・ピン数で割った値。